

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-114645

(43)Date of publication of application : 18.04.2003

(51)Int.Cl. G09G 3/30  
G09G 3/20

(21)Application number : 2001-368399 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.12.2001 (72)Inventor : KASAI TOSHIYUKI

(30)Priority

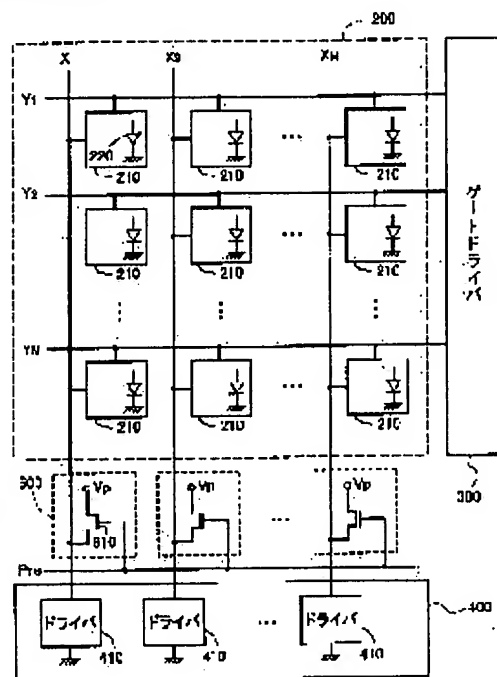
Priority number : 2001235387 Priority date : 02.08.2001 Priority country : JP

## (54) DRIVING OF DATA LINE USED TO CONTROL UNIT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce driving time of a data line connected to a unit circuit.

SOLUTION: A display matrix section 200 has pixel circuits 210 which are arranged in a matrix manner, a plurality of gate lines Y1 and Y2, etc., extended along a row direction and a plurality of data lines X1, X2, etc., extended in a column direction. Scanning lines are connected to a gate driver 300 and data lines are connected to a data line driver 400. A precharge circuit 600 and an added current circuit are provided for each data line as a means to accelerate charging or discharging of the data line. For each data line, the acceleration of charging or discharging is conducted by precharges and added current prior to the completion of the setting of light emitting gradation in the circuit 210.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-114645  
(P2003-114645A)

(43) 公開日 平成15年4月18日 (2003. 4. 18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 J
	6 2 1		6 2 1 F
	6 2 3		6 2 3 R
	6 4 1		6 4 1 D

審査請求 未請求 請求項の数52 O L (全 25 頁)

(21) 出願番号 特願2001-368399(P2001-368399)  
(22) 出願日 平成13年12月3日 (2001. 12. 3)  
(31) 優先権主張番号 特願2001-235387(P2001-235387)  
(32) 優先日 平成13年8月2日 (2001. 8. 2)  
(33) 優先権主張国 日本 (J P)

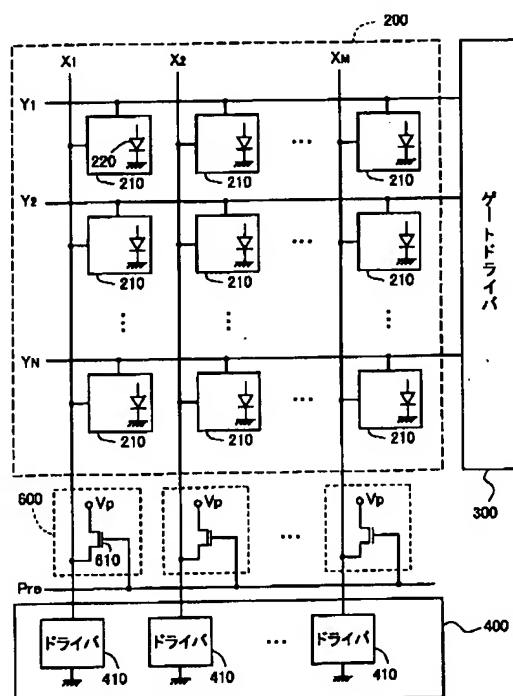
(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72) 発明者 河西 利幸  
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内  
(74) 代理人 110000028  
特許業務法人明成国際特許事務所  
Fターム(参考) 5C080 AA06 BB05 DD03 DD08 EE29  
FF11 JJ02 JJ03 JJ04

(54) 【発明の名称】 単位回路の制御に使用されるデータ線の駆動

### (57) 【要約】

【課題】 単位回路に接続されたデータ線の駆動時間を短縮する。

【解決手段】 表示マトリクス部200は、マトリクス状に配列された画素回路210と、行方向に伸びる複数のゲート線Y1、Y2…と、列方向に伸びる複数のデータ線X1、X2…とを有している。走査線はゲートドライバ300に接続されており、データ線はデータ線ドライバ400に接続されている。各データ線には、データ線の充電または放電を加速する手段として、プリチャージ回路600や付加電流回路が設けられている。各データ線に対しては、画素回路210における発光階調の設定が完了する前に、プリチャージや付加電流によって充電または放電の加速が行われる。



## 【特許請求の範囲】

【請求項1】 アクティブマトリクス駆動法によって駆動される電気光学装置であって、  
発光素子と前記発光素子の発光の階調を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された単位回路マトリクスと、  
前記単位回路マトリクスの行方向に沿って配列された単位回路群にそれぞれ接続された複数の走査線と、  
前記単位回路マトリクスの列方向に沿って配列された単位回路群にそれぞれ接続された複数のデータ線と、  
前記複数の走査線に接続され、前記単位回路マトリクスの1つの行を選択するための走査線駆動回路と、  
前記発光素子の発光の階調に応じたデータ信号を生成して、前記複数のデータ線のうちの少なくとも1つのデータ線に出力することが可能なデータ信号生成回路と、  
前記走査線駆動回路によって選択された行に存在する少なくとも1つの単位回路に前記データ線を介して前記データ信号が供給される際に、前記データ線の充電または放電を加速することが可能な充放電加速部と、を備える電気光学装置。

【請求項2】 請求項1記載の電気光学装置であって、前記単位回路による前記発光階調の調節は、前記データ信号の電流値に応じて行われる、電気光学装置。

【請求項3】 請求項1または2記載の電気光学装置であって、  
前記発光素子は、流れる電流値に応じて発光の階調が変化する電流駆動型の素子であり、  
前記単位回路は、  
前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、  
前記駆動トランジスタの制御電極に接続され、前記駆動トランジスタの動作状態に応じた電荷量を保持することによって、前記発光素子に流れる電流値を設定するための保持キャパシタと、を有し、  
前記保持キャパシタの蓄積電荷量が前記データ信号によって調整される、電気光学装置。

【請求項4】 請求項3記載の電気光学装置であって、前記単位回路は、さらに、  
前記データ線と前記保持キャパシタとに接続され、前記データ信号によって前記保持キャパシタの蓄積電荷量を調整する際に使用される第1のスイッチングトランジスタと、  
前記駆動トランジスタおよび前記発光素子と直列に接続された第2のスイッチングトランジスタと、を有しており、  
各走査線は、前記第1と第2のスイッチングトランジスタのそれぞれに接続された第1と第2のサブ走査線を含んでおり、  
前記走査線駆動回路は、(i)所定の第1の期間において、前記第1のスイッチングトランジスタをオン状態に

設定して、前記保持キャパシタの蓄積電荷量の調整を行う第1の動作と、(ii)前記第1の期間の後の第2の期間において、前記第1のスイッチングトランジスタをオフ状態に設定するとともに前記第2のスイッチングトランジスタをオン状態に設定して、前記発光素子に発光を行わせる第2の動作と、を実行する、電気光学装置。

【請求項5】 請求項1ないし4のいずれかに記載の電気光学装置であって、  
前記充放電加速部は、前記複数のデータ線をブリチャージすることが可能なブリチャージ回路を含む、電気光学装置。

【請求項6】 請求項4記載の電気光学装置であって、前記充放電加速部は、前記複数のデータ線をブリチャージすることが可能なブリチャージ回路を含み、  
前記ブリチャージ回路は、前記第2の期間以外の期間であって前記第1の期間が完了する前の特定のブリチャージ期間において前記ブリチャージを実行する、電気光学装置。

【請求項7】 請求項6記載の電気光学装置であって、前記ブリチャージ期間は、前記第1の期間が開始される以前に設定される、電気光学装置。

【請求項8】 請求項6記載の電気光学装置であって、前記ブリチャージ期間は、前記第1の期間の初期の一部を含む期間に設定される、電気光学装置。

【請求項9】 請求項5ないし8のいずれかに記載の電気光学装置であって、  
前記ブリチャージ回路は、前記データ線をブリチャージすることにより、前記データ線を発光階調の中央値以下の低い階調範囲に相当する電圧とする、電気光学装置。

【請求項10】 請求項9記載の電気光学装置であって、  
前記ブリチャージ回路は、前記データ線をブリチャージすることにより、前記データ線をゼロでない最も低い発光階調の近傍の階調に相当する電圧とする、電気光学装置。

【請求項11】 請求項5ないし10のいずれかに記載の電気光学装置であって、  
各单位回路は、複数の色成分毎にそれぞれ設けられており、

前記ブリチャージ回路は、各色成分毎に異なる電位で前記データ線を充電または放電することが可能である、電気光学装置。

【請求項12】 請求項1ないし4のいずれかに記載の電気光学装置であって、  
前記充放電加速部は、前記各発光素子の発光の階調に応じたデータ信号の電流値に、前記データ線の充電または放電を加速するための電流値を付加する付加電流回路を含む、電気光学装置。

【請求項13】 請求項12記載の電気光学装置であって、

前記電流値の付加は、前記各発光素子の発光の階調に応じたデータ信号が生成される期間の初期に実行される、電気光学装置。

【請求項14】 請求項12または13記載の電気光学装置であって、

前記付加電流回路は、各データ線に対して前記データ信号生成回路と並列に接続されたトランジスタを含む、電気光学装置。

【請求項15】 発光素子と前記発光素子の発光の階調を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された単位回路マトリクスと、各発光素子の発光の階調に応じたデータ信号を各単位回路に供給するための複数のデータ線と、を備えたアクティブマトリクス駆動型の電気光学装置の駆動方法であって、

少なくとも1つの単位回路に前記データ線を介して前記データ信号を供給する際に、前記データ線の充電または放電を加速することを特徴とする電気光学装置の駆動方法。

【請求項16】 請求項15記載の方法であって、前記単位回路による前記発光素子の発光階調の調節は、電流として供給される前記データ信号に応じて行われる、方法。

【請求項17】 請求項15または16記載の方法であって、前記充電または放電の加速は、所定のプリチャージ期間において前記データ線をプリチャージすることによって行われる、方法。

【請求項18】 請求項17記載の方法であって、  
(i) 所定の第1の期間において、前記データ信号による前記単位回路の設定を行う過程と、  
(ii) 前記第1の期間の後の第2の期間において、前記単位回路の設定状態に従って前記発光素子が発光する過程と、を備え、前記プリチャージ期間は、前記第2の期間以外の期間であって前記第1の期間が完了する前に設定される、方法。

【請求項19】 請求項18記載の方法であって、前記プリチャージ期間は、前記第1の期間が開始される以前に設定される、方法。

【請求項20】 請求項18記載の方法であって、前記プリチャージ期間は、前記第1の期間の初期の一部を含む期間に設定される、方法。

【請求項21】 請求項17ないし20のいずれかに記載の方法であって、前記プリチャージは、発光階調の中央値以下の低い階調範囲に相当する電圧値に前記データ線を充電または放電するように実行される、方法。

【請求項22】 請求項21記載の方法であって、前記プリチャージは、ゼロでない最も低い発光階調の近傍の階調に相当する電圧値に前記データ線を充電または

放電するように実行される、方法。

【請求項23】 請求項17ないし22のいずれかに記載の方法であって、

各単位回路は、複数の色成分毎にそれぞれ設けられており、

前記プリチャージは、各色成分毎に異なる電位で前記データ線を充電または放電するように実行される、方法。

【請求項24】 請求項15または16記載の方法であって、

10 前記充電または放電の加速は、前記各発光素子の発光の階調に応じたデータ信号の電流値に、前記充電または放電の加速のための電流値を付加することによって行われる、方法。

【請求項25】 請求項24記載の方法であって、前記電流値の付加は、前記各発光素子の発光の階調に応じたデータ信号が生成される期間の初期に実行される、方法。

【請求項26】 流れる電流の電流値に応じて動作が制御される複数の電流駆動素子と、

20 各電流駆動素子に、前記電流駆動素子の動作状態を規定するデータ信号を供給するためのデータ線と、前記データ線に前記データ信号を出力するためのデータ信号生成回路と、

前記データ線を介して前記データ信号が前記電流駆動素子に供給される際に、前記データ線の充電または放電を加速するための充放電加速部と、を備える電子装置。

【請求項27】 請求項26記載の電子装置であって、前記充放電加速部は、前記複数のデータ線をプリチャージすることが可能なプリチャージ回路を含む、電子装置。

【請求項28】 請求項26記載の電子装置であって、前記充放電加速部は、前記電流駆動素子の動作状態に適した前記データ信号の電流値に、前記データ線の充電または放電を加速するための電流値を付加する付加電流回路を含む、電子装置。

【請求項29】 入力信号に対応して電流を生成する電流生成回路と、電気光学素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電気光学装置であって、前記入力信号の変化に伴う前記電流の変化を加速する加速手段を備えることを特徴とする電気光学装置。

【請求項30】 前記加速手段は、前記データ線の電位を、所定の電位に設定するプリチャージ回路であることを特徴とする請求項29記載の電気光学装置。

【請求項31】 前記加速手段は、前記データ線に流れる電流の一部の電流経路となる付加電流回路であることを特徴とする請求項29記載の電気光学装置。

【請求項32】 前記入力信号の変化に伴う前記電流の変化量に基づいて、前記加速手段の使用の要否を判断する判断回路を備えていることを特徴とする請求項29乃至

至31の何れかに記載の電気光学装置。

【請求項33】 入力信号に対応して電流を生成する電流生成回路と、電気光学素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電気光学装置の駆動方法であって、前記入力信号の変化に伴い前記電流の電流値を第1の電流値から第2の電流値に変化させる操作を、電流値の時間変化率の異なる複数の期間を経て行うことを特徴とする電気光学装置の駆動方法。

【請求項34】 前記第1の電流値から第2の電流値に変化させる操作は、前記データ線を所定電圧に設定するブリッジ回路によって設定される第3の電流値を経由して行われることを特徴とする請求項33記載の電気光学装置の駆動方法。

【請求項35】 前記第1の電流値から第2の電流値に変化させる操作は、前記データ線に流れる電流の一部の電流経路となる付加電流回路によって設定される第3の電流値を経由して行われることを特徴とする請求項33記載の電気光学装置の駆動方法。

【請求項36】 前記第3の電流値は、前記第2の電流値と前記付加電流回路を流れる電流値とに基づいて設定されることを特徴とする請求項35記載の電気光学装置の駆動方法。

【請求項37】 前記第3の電流値は、前記第1の電流値と前記付加電流回路を流れる電流値とに基づいて設定されることを特徴とする請求項35記載の電気光学装置の駆動方法。

【請求項38】 前記第2の電流値は、前記第1の電流値よりも小さいことを特徴とする請求項33乃至37の何れかに記載の電気光学装置の駆動方法。

【請求項39】 前記第3の電流値は、前記第1の電流値と前記第2の電流値との間の電流値であることを特徴とする請求項37に記載の電気光学装置の駆動方法。

【請求項40】 前記第1の電流値から前記第3の電流値への電流値の時間変化率の絶対値は、前記第3の電流値から前記第2の電流値への電流値の時間変化率の絶対値よりも大きいことを特徴とする請求項39記載の電気光学装置の駆動方法。

【請求項41】 前記第1の電流値と前記第3の電流値との差の絶対値は、前記第3の電流値と前記第2の電流値との差の絶対値よりも大きいことを特徴とする請求項40記載の電気光学装置の駆動方法。

【請求項42】 前記第1の電流値及び前記第2の電流値は、前記入力信号に対応した電流値であることを特徴とする請求項33乃至41の何れかに記載の電気光学装置の駆動方法。

【請求項43】 前記第1の電流値と前記第2の電流値との差に基づいて、前記第1の電流値を第2の電流値に変化させる操作を、前記電流値の時間変化率の異なる複数の期間を経て行う必要があるか否かを判定し、当該判

定が必要であると判定されたときに、前記複数の期間を経て前記第1の電流値を前記第2の電流値に変化させるようになっていることを特徴とする請求項33乃至42の何れかに記載の電気光学装置の駆動方法。

【請求項44】 前記請求項33乃至43の何れかに記載の電気光学装置の駆動方法により駆動されることを特徴とする電気光学装置。

【請求項45】 入力信号に対応して電流を生成する電流生成回路と、電気光学素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電気光学装置であって、

前記入力信号の変化に対応して前記電流を変化させる際に、前記データ線の電荷をリセットするリセット手段を備えることを特徴とする電気光学装置。

【請求項46】 前記電流に応じた電圧を保持する電圧保持手段を備え、前記リセット手段は、前記データ線及び前記電圧保持手段の電荷をリセットするようになっていることを特徴とする請求項45記載の電気光学装置。

【請求項47】 前記リセット手段は、前記電流を変化させる前に前記リセットを行うようになっていることを特徴とする請求項45又は46記載の電気光学装置。

【請求項48】 入力信号に対応して電流を生成する電流生成回路と、電流駆動素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電子装置であって、

前記入力信号の変化に伴う前記電流の変化を加速する加速手段を備えることを特徴とする電子装置。

【請求項49】 前記加速手段は、前記データ線の電位を、所定の電位に設定するブリッジ回路であることを特徴とする請求項48記載の電子装置。

【請求項50】 前記加速手段は、前記データ線に流れる電流の一部の電流経路となる付加電流回路であることを特徴とする請求項48記載の電子装置。

【請求項51】 前記入力信号の変化に伴う前記電流の変化量に基づいて、前記加速手段の使用の要否を判断する判断回路を備えていることを特徴とする請求項48乃至50の何れかに記載の電子装置。

【請求項52】 請求項29乃至32及び請求項44乃至47の何れかに記載の電気光学装置を、表示部として利用したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置の画素回路などの単位回路の制御に使用されるデータ線の駆動技術に関する。

【0002】

【従来の技術】近年、有機EL素子（Organic Electroluminescent element）を用いた電気光学装置が開発されている。有機EL素子は、自発光素子であり、バックライトが不要なので、低消費電力、高視野角、高コントラ

スト比の表示装置を達成できるものと期待されている。  
 なお、本明細書において、「電気光学装置」とは、電気信号を光に変換する装置を意味している。電気光学装置の最も普通の形態は、画像を表す電気信号を画像を表す光に変換する装置であり、特に表示装置として好適である。

【0003】図1は、有機EL素子を用いた表示装置の一般的な構成を示すブロック図である。この表示装置は、表示マトリクス部120と、ゲートドライバ130と、データ線ドライバ140とを有している。表示マトリクス部120は、マトリクス状に配列された複数の画素回路110を有しており、各画素回路110には有機EL素子114がそれぞれ設けられている。画素回路110のマトリクスには、その列方向に沿って伸びる複数のデータ線X1、X2…と、行方向に沿って伸びる複数のゲート線Y1、Y2…とがそれぞれ接続されている。

【0004】

【発明が解決しようとする課題】図1のような構成で大型表示パネルを構成する場合には、各データ線の静電容量C<sub>d</sub>がかなり大きくなる。データ線の静電容量C<sub>d</sub>が大きくなるとデータ線の駆動に多大な時間を要する。そのため、従来は、有機EL素子を用いて大型表示パネルを構成するのに十分高速な駆動を行うことができないという問題があった。

【0005】なお、上述の問題は、有機EL素子を用いた表示装置に限らず、有機EL素子以外の電流駆動型発光素子を用いた表示装置や電気光学装置に共通する問題であった。また、発光素子に限らず、一般に、電流で駆動される電流駆動素子を用いた電子装置に共通する問題であった。

【0006】本発明は、上述した従来の課題を解決するためになされたものであり、単位回路に接続されたデータ線の駆動時間を短縮することのできる技術を提供することを目的とする。

【0007】

【課題を解決するための手段およびその作用・効果】上記目的を達成するために、本発明による第1の電気光学装置は、アクティブマトリクス駆動法によって駆動される電気光学装置であって、発光素子と前記発光素子の発光の階調を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された単位回路マトリクスと、前記単位回路マトリクスの行方向に沿って配列された単位回路群にそれぞれ接続された複数の走査線と、前記単位回路マトリクスの列方向に沿って配列された単位回路群にそれぞれ接続された複数のデータ線と、前記複数の走査線に接続され、前記単位回路マトリクスの1つの行を選択するための走査線駆動回路と、前記発光素子の発光の階調に応じたデータ信号を生成して、前記複数のデータ線のうちの少なくとも1つのデータ線上に出力することが可能なデータ信号生成回路と、前記走査線

駆動回路によって選択された行に存在する少なくとも1つの単位回路に前記データ線を介して前記データ信号が供給される際に、前記データ線の充電または放電を加速することが可能な充放電加速部と、を備える。

【0008】この電気光学装置では、充放電加速部がデータ線の充電または放電を加速するので、データ信号のみでデータ線の充電または放電が行われる場合に比べて充電または放電に要する時間を短縮することができる。従って、単位回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0009】なお、前記単位回路による前記発光階調の調節は、前記データ信号の電流値に応じて行われるものであることが好ましい。この場合には、データ信号の電流値が小さいときには、データ線の充電または放電に多大の時間を要する可能性がある。従って、特にデータ信号の電流値が小さいときに、充放電加速部によるデータ線の駆動時間の短縮効果が顕著である。

【0010】また、前記発光素子は、流れる電流値に応じて発光の階調が変化する電流駆動型の素子であるとしてもよい。また、前記単位回路は、前記発光素子に流れる電流の経路に設けられた駆動トランジスタと、前記駆動トランジスタの制御電極に接続され、前記駆動トランジスタの動作状態に応じた電荷量を保持することによって、前記発光素子に流れる電流値を設定するための保持キャパシタと、を有していてもよい。このとき、前記保持キャパシタの蓄積電荷量が前記データ信号によって調整されるようにしてもよい。この構成では、保持キャパシタの蓄積電荷量を、発光階調に応じた適切な値に設定する必要がある。このとき、充放電加速部によってデータ線の充電または放電を加速するようすれば、適切な蓄積電荷量を比較的短時間で達成することができ、データ線の駆動を時間短縮することが可能である。

【0011】前記単位回路は、さらに、前記データ線と前記保持キャパシタとに接続され、前記データ信号によって前記保持キャパシタの蓄積電荷量を調整する際に使用される第1のスイッチングトランジスタと、前記駆動トランジスタおよび前記発光素子と直列に接続された第2のスイッチングトランジスタと、を有していてもよい。また、各走査線は、前記第1と第2のスイッチングトランジスタのそれぞれに接続された第1と第2のサブ走査線を含んでいてもよい。このとき、前記走査線駆動回路は、(i)所定の第1の期間において、前記第1のスイッチングトランジスタをオン状態に設定して、前記保持キャパシタの蓄積電荷量の調整を行う第1の動作と、(i i)前記第1の期間の後の第2の期間において、前記第1のスイッチングトランジスタをオフ状態に設定するとともに前記第2のスイッチングトランジスタをオン状態に設定して、前記発光素子に発光を行わせる第2の動作と、を実行するものとしてもよい。

【0012】前記充放電加速部は、前記複数のデータ線

をブリチャージすることが可能なブリチャージ回路を含むものとしてもよい。この構成によれば、データ線の充電または放電を容易に促進することができる。

【0013】なお、前記ブリチャージ回路は、前記第2の期間以外の期間であって前記第1の期間が完了する前の特定のブリチャージ期間において前記ブリチャージを実行するものとしてもよい。この構成によれば、保持キャパシタへの電荷の蓄積が完了する前にブリチャージが行われるので、ブリチャージが原因となって保持キャパシタの蓄積電荷量が所望の値からずれることを防止することができる。

【0014】前記ブリチャージ期間は、前記第1の期間が開始される以前に設定されることが好ましい。この構成では、ブリチャージが保持キャパシタの蓄積電荷量に与える影響をより小さく抑えることが可能である。

【0015】あるいは、前記ブリチャージ期間は、前記第1の期間の初期の一部を含む期間に設定されるようにしてもよい。この構成によれば、データ線の静電容量に比べて保持キャパシタの静電容量が無視できない場合に、保持キャパシタへの電荷の蓄積に要する時間を短縮することができる。

【0016】前記ブリチャージ回路は、前記データ線をブリチャージすることにより、前記データ線を発光階調の中央値以下の低い階調範囲に相当する電圧とすることが好ましい。この構成によれば、発光階調が低く、データ信号によるデータ線の充電または放電に時間が掛かる場合にも、その時間を短縮することができる。

【0017】なお、前記ブリチャージ回路は、前記データ線をブリチャージすることにより、前記データ線をゼロでない最も低い発光階調の近傍の階調に相当する電圧とすることが好ましい。この構成によれば、データ線の充電／放電時間の短縮効果が最も顕著である。

【0018】各单位回路は、複数の色成分毎にそれぞれ設けられている場合に、前記ブリチャージ回路は、各色成分毎に異なる電位で前記データ線を充電または放電することが可能であることが好ましい。この構成によれば、各色成分に適した電位にそれぞれデータ線を充電または放電できるので、データ線の駆動時間をより短縮することが可能である。

【0019】前記充放電加速部は、前記各発光素子の発光の階調に応じたデータ信号の電流値に、前記データ線の充電または放電を加速するための電流値を付加する付加電流回路を含むものとしてもよい。この構成によっても、データ線の充電または放電を容易に促進することができる。

【0020】前記電流値の付加は、前記各発光素子の発光の階調に応じたデータ信号が生成される期間の初期に実行されるものとしてもよい。こうすれば、電流値の付加による発光素子の発光階調への影響を小さく抑えることができる。

【0021】前記付加電流回路は、各データ線に対して前記データ信号生成回路と並列に接続されたトランジスタを含むものとしてもよい。この構成によれば、付加電流を容易に発生することができる。

【0022】本発明による電気光学装置の第1の駆動方法は、発光素子と前記発光素子の発光の階調を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された単位回路マトリクスと、各発光素子の発光の階調に応じたデータ信号を各单位回路に供給するための複数のデータ線と、を備えたアクティブマトリクス駆動型の電気光学装置の駆動方法であって、少なくとも1つの単位回路に前記データ線を介して前記データ信号を供給する際に、前記データ線の充電または放電を加速することを特徴とする。

【0023】また、本発明による電子装置は、流れる電流値に応じて動作が制御される複数の電流駆動素子と、各電流駆動素子に、前記電流駆動素子の動作状態を規定するデータ信号を供給するためのデータ線と、前記データ線に前記データ信号を出力するためのデータ信号生成回路と、前記データ線を介して前記データ信号が前記電流駆動素子に供給される際に、前記データ線の充電または放電を加速するための充放電加速部と、を備える。

【0024】本発明による第2の電気光学装置は、入力信号に対応して電流を生成する電流生成回路と、電気光学素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電気光学装置であって、前記入力信号の変化に伴う前記電流の変化を加速する加速手段を備えることを特徴とする。

【0025】この電気光学装置によれば、入力信号の変化に伴って電流を変化させる際に、加速手段が入力信号の変化に伴う電流の変化を加速する加速操作を行うので、入力信号に応じて速やかに電流値を変更することができる。従って、単位回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0026】なお、前記加速手段は、前記データ線の電位を、所定の電位に設定するブリチャージ回路であるものとしてもよい。

【0027】あるいは、前記加速手段は、前記データ線に流れる電流の一部の電流経路となる付加電流回路であるものとしてもよい。

【0028】第2の電気光学装置は、前記入力信号の変化に伴う前記電流の変化量に基づいて、前記加速手段の使用の要否を判断する判断回路を備えていてもよい。この構成によれば、必要な場合にのみ加速を行うことが可能であり、データ線の駆動時間をさらに短縮できる。

【0029】本発明による電気光学装置の第2の駆動方法は、入力信号に対応して電流を生成する電流生成回路と、電気光学素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電気光学装置の駆動方法であって、前記入力信号の変化に伴い前記電流



の電流値を第1の電流値から第2の電流値に変化させる操作を、電流値の時間変化率の異なる複数の期間を経て行うことを特徴とする。

【0030】この構成によれば、入力信号の変化に伴って電流を変化させる際に、第1の電流値から第2の電流値に変化させる操作を、時間変化率の異なる複数の期間を経て行うようにしたので、第1の電流値から第2の電流値に変化するまでに要する所要時間の短縮を図ることができる。従って、単位回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0031】本発明による第3の電気光学装置は、入力信号に対応して電流を生成する電流生成回路と、電気光学素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電気光学装置であって、前記入力信号の変化に対応して前記電流を変化させる際に、前記データ線の電荷をリセットするリセット手段を備えることを特徴とする。

【0032】この電気光学装置によれば、入力信号の変化に対応して電流を変化させる際に、リセット手段によってデータ線の電荷をリセットするようにしたので、データ線の電流値をより速やかに変化させることができる。従って、単位回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0033】前記単位回路は、前記電流に応じた電圧を保持する電圧保持手段を備え、前記リセット手段は、前記データ線及び前記電圧保持手段の電荷をリセットするようになっていてもよい。この構成によれば、データ線及び電圧保持手段の電荷を共にリセットするようにしたので、データ線だけでなく、電圧保持手段の保持電圧も、変化後の電流値に応じた保持電圧により速やかに一致させることができる。

【0034】本発明による第2の電子装置は、入力信号に対応して電流を生成する電流生成回路と、電流駆動素子を備えた単位回路と、前記電流を前記単位回路に供給するデータ線と、を含む電子装置であって、前記入力信号の変化に伴う前記電流の変化を加速する加速手段を備えることを特徴とする。

【0035】なお、本発明は、種々の形態で実現することが可能であり、例えば、電気光学装置、表示装置、その電気光学装置や表示装置を備えた電子装置、それらの装置の駆動方法、その方法の機能を実現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み搬送波内に具現化されたデータ信号、等の形態で実現することができる。

【0036】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 第1実施例（付加電流その1）：

B. 第2実施例（付加電流その2）：

C. 第3実施例（付加電流その3）：

D. 付加電流を利用した変形例：

E. 第4実施例（プリチャージ）：

F. プリチャージタイミングに関する変形例：

G. プリチャージ回路の配置に関する変形例：

H. 電子機器への適用例：

I. その他の変形例：

【0037】A. 第1実施例（付加電流その1）：図2は、本発明の第1実施例としての表示装置の概略構成を示すブロック図である。この表示装置は、コントローラ100と、表示マトリクス部200（「画素領域」とも呼ぶ）と、ゲートドライバ300と、データ線ドライバ400とを有している。コントローラ100は、表示マトリクス部200に表示を行わせるためのゲート線駆動信号とデータ線駆動信号を生成して、ゲートドライバ300とデータ線ドライバ400にそれぞれ供給する。

【0038】図3は、表示マトリクス部200とデータ線ドライバ400の内部構成を示している。表示マトリクス部200は、マトリクス状に配列された複数の画素回路210を有しており、各画素回路210は有機EL素子220をそれぞれ有している。画素回路210のマトリクスには、その列方向に沿って伸びる複数のデータ線 $X_m$ （ $m=1\sim M$ ）と、行方向に沿って伸びる複数のゲート線 $Y_n$ （ $n=1\sim N$ ）とがそれぞれ接続されている。なお、データ線は「ソース線」とも呼ばれ、また、ゲート線は「走査線」とも呼ばれる。また、本明細書では、画素回路210を「単位回路」あるいは「画素」とも呼ぶ。画素回路210内のトランジスタは、通常はTFTで構成される。

【0039】ゲートドライバ300は、複数のゲート線 $Y_n$ の中の1本を選択的に駆動して1行分の画素回路群を選択する。データ線ドライバ400は、各データ線 $X_m$ をそれぞれ駆動するための複数の単一ラインドライバ410を有している。これらの単一ラインドライバ410は、各データ線 $X_m$ を介して画素回路210にデータ信号を供給する。このデータ信号に応じて画素回路210の内部状態（後述する）が設定されると、これに応じて有機EL素子220に流れる電流値が制御され、この結果、有機EL素子220の発光の階調が制御される。

【0040】コントローラ100（図2）は、画素領域200の表示状態を表す表示データ（画像データ）を、各有機EL素子220の発光の階調を表すマトリクスデータに変換する。マトリクスデータは、1行分の画素回路群を順次選択するためのゲート線駆動信号と、選択された画素回路群の有機EL素子220に供給するデータ線信号のレベルを示すデータ線駆動信号とを含んでいる。ゲート線駆動信号とデータ線駆動信号は、ゲートドライバ300とデータ線ドライバ400にそれぞれ供給される。コントローラ100は、また、ゲート線とデータ線の駆動タイミングのタイミング制御を行う。



【0041】図4は、画素回路210の内部構成を示す回路図である。この画素回路210は、m番目のデータ線とn番目のゲート線Ynとの交点に配置されている回路である。なお、ゲート線Ynは、2本のサブゲート線V1、V2を含んでいる。

【0042】画素回路210は、データ線Xmに流れる電流値に応じて有機EL素子220の階調を調節する電流プログラム回路である。具体的には、この画素回路210は、有機EL素子220の他に、4つのトランジスタ211~214と、保持キャパシタ230（「保持コンデンサ」あるいは「記憶キャパシタ」とも呼ぶ）とを有している。保持キャパシタ230は、データ線Xmを介して供給されたデータ信号に応じた電荷を保持し、これによって、有機EL素子220の発光の階調を調節するためのものである。すなわち、保持キャパシタ230は、データ線Xmに流れる電流に応じた電圧を保持する電圧保持手段に相当する。第1ないし第3のトランジスタ211~213はnチャンネル型FETであり、第4のトランジスタ214はpチャンネル型FETである。有機EL素子220は、フォトダイオードと同様の電流注入型（電流駆動型）の発光素子なので、ここではダイオードの記号で描かれている。

【0043】第1のトランジスタ211のソースは、第2のトランジスタ212のドレインと、第3のトランジスタ213のドレインと、第4のトランジスタ214のドレインと、にそれぞれ接続されている。第1のトランジスタ211のドレインは、第4のトランジスタ214のゲートに接続されている。保持キャパシタ230は、第4のトランジスタ214のソースとゲートとの間に接続されている。また、第4のトランジスタ214のソースは、電源電位Vddにも接続されている。

【0044】第2のトランジスタ212のソースは、データ線Xmを介して単一ラインドライバ410（図3）に接続されている。有機EL素子220は、第3のトランジスタ213のソースと接地電位との間に接続されている。

【0045】第1と第2のトランジスタ211、212のゲートは、第1のサブゲート線V1に共通に接続されている。また、第3のトランジスタ213のゲートは、第2のサブゲート線V2に接続されている。

【0046】第1と第2のトランジスタ211、212は、保持キャパシタ230に電荷を蓄積する際に使用されるスイッチングトランジスタである。第3のトランジスタ213は、有機EL素子220の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第4のトランジスタ214は、有機EL素子220に流れる電流値を制御するための駆動トランジスタである。第4のトランジスタ214の電流値は、保持キャパシタ230に保持される電荷量（蓄積電荷量）によって制御される。

【0047】図5は、画素回路210の通常の動作を示すタイミングチャートである。ここでは、第1のサブゲート線V1の電圧値（以下、「第1のゲート信号V1」も呼ぶ）と、第2のサブゲート線V2の電圧値（以下、「第2のゲート信号V2」も呼ぶ）と、データ線Xmの電流値Iout（「データ信号Iout」も呼ぶ）と、有機EL素子220に流れる電流値IELとが示されている。

【0048】駆動周期Tcは、プログラミング期間Tprと発光期間Telとに分かれている。ここで、「駆動周期Tc」とは、表示マトリクス部200内のすべての有機EL素子220の発光の階調が1回ずつ更新される周期を意味しており、いわゆるフレーム周期と同じものである。階調の更新は、1行分の画素回路群毎に行われ、駆動周期Tcの間にN行分の画素回路群の階調が順次更新される。例えば、30Hzで全画素回路の階調が更新される場合には、駆動周期Tcは約33msである。

【0049】プログラミング期間Tprは、有機EL素子220の発光の階調を画素回路210内に設定する期間である。本明細書では、画素回路210への階調の設定を「プログラミング」と呼んでいる。例えば、駆動周期Tcが約33msであり、ゲート線Ynの総数Nが480本である場合には、プログラミング周期Tprは約69μs（=33ms/480）以下になる。

【0050】プログラミング期間Tprでは、まず、第2のゲート信号V2をLレベルに設定して第3のトランジスタ213をオフ状態（閉状態）に保つ。次に、データ線Xm上に発光階調に応じた電流値Imを流しながら、第1のゲート信号V1をHレベルに設定して第1と第2のトランジスタ211、212をオン状態（開状態）にする。このとき、このデータ線Xmの単一ラインドライバ410（図4）は、発光階調に応じた一定の電流値Imを流す定電流源として機能する。図5（c）に示されているように、この電流値Imは、所定の電流値の範囲RI内において、有機EL素子220の発光の階調に応じた値に設定されている。

【0051】保持キャパシタ230には、第4のトランジスタ214（駆動トランジスタ）を流れる電流値Imに対応した電荷を保持した状態となる。この結果、第4のトランジスタ214のソース/ゲート間には、保持キャパシタ230に記憶された電圧が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流値Imを「プログラミング電流値Im」と呼ぶ。

【0052】プログラミングが終了すると、ゲートドライバ300が第1のゲート信号V1をLレベルに設定して第1と第2のトランジスタ211、212をオフ状態とし、また、データ線ドライバ400はデータ信号Ioutを停止する。

【0053】発光期間Telでは、第1のゲート信号V

1をLレベルに維持して第1と第2のトランジスタ211、212をオフ状態に保ったまま、第2のゲート信号V2をHレベルに設定して第3のトランジスタ213をオン状態に設定する。保持キャパシタ230には、プログラミング電流値Imに対応した電圧が予め記憶されているので、第4のトランジスタ214にはプログラミング電流値Imとほぼ同じ電流が流れる。従って、有機EL素子220にもプログラミング電流値Imとほぼ同じ電流が流れ、この電流値Imに応じた階調で発光する。このように、保持キャパシタ230の電圧(すなわち電荷)が電流値Imによって書き込まれるタイプの画素回路210は、「電流プログラム回路」と呼ばれている。

【0054】図6は、単一ラインドライバ410の内部構成を示す回路図である。単一ラインドライバ410は、データ信号生成回路420(「制御電流発生部」あるいは「電流生成回路」とも呼ぶ)と、付加電流回路430(「付加電流発生部」とも呼ぶ)とを備えている。データ信号生成回路420と付加電流回路430は、データ線Xmと接地電位との間に並列に接続されている。

【0055】データ信号生成回路420は、スイッチングトランジスタ41と駆動トランジスタ42との直列接続421が、N組分(Nは2以上の整数)並列に接続された構成を有している。図6の例ではNは6である。6つの駆動トランジスタ42のゲートには、リファレンス電圧Vref1が共通に印加されている。また、6つの駆動トランジスタ42の利得係数βの比は、1:2:4:8:16:32に設定されている。なお、利得係数βは、良く知られているように、 $\beta = (\mu C \cdot W/L)$ で定義される。ここで、μはキャリアの移動度、Cはゲート容量、Wはチャンネル幅、Lはチャンネル長である。6つの駆動トランジスタ42は、定電流源として機能する。トランジスタの電流駆動能力は利得係数βに比例するので、6つの駆動トランジスタ42の電流駆動能力の比は、1:2:4:8:16:32である。

【0056】6つのスイッチングトランジスタ41のオン/オフは、コントローラ100(図2)から与えられる6ビットのデータ線駆動信号Ddata(「入力信号」とも呼ぶ)によって制御される。データ線駆動信号Ddataの最下位ビットは、利得係数βが最も小さな(すなわちβの相対値が1の)直列接続421に供給されており、最上位ビットは利得係数βが最も小さな(すなわちβの相対値が32の)直列接続421に供給されている。この結果、データ信号生成回路420は、データ線駆動信号Ddataの値に比例した電流値Imを生成する電流源として機能する。データ線駆動信号Ddataの値は、有機EL素子220の発光の階調を示す値に設定されている。従って、データ信号生成回路420からは、有機EL素子220の発光の階調に応じた電流値Imを有するデータ信号が出力される。

【0057】付加電流回路430は、スイッチングト

ンジスタ43と駆動トランジスタ44との直列接続で構成されている。駆動トランジスタ44のゲート極には、リファレンス電圧Vref2が印加される。スイッチングトランジスタ43のオン/オフは、コントローラ100から与えられる付加電流制御信号Dpによって制御される。スイッチングトランジスタ43がオン状態のときには、リファレンス電圧Vref2に応じた所定の付加電流Ipが付加電流回路430からデータ線Xm上に出力される。

【0058】図7は、付加電流回路430を利用した場合のプログラミング期間Tpr(図5)における電流値の変化を示す説明図である。時点t1では、データ信号生成回路420からプログラミング電流Imの出力が開始され、また、付加電流回路430からも付加電流Ipの出力が開始される。このとき、単一ラインドライバ410から出力される電流値Ioutは、プログラミング電流Imと付加電流Ipの和(Im+Ip)になる。時点t2で付加電流Ipが停止した後の期間t2~t4では、プログラミング電流Imだけが単一ラインドライバ410の出力電流となる。なお、付加電流Ipが流れる期間t1~t2は、例えば、プログラミング電流Imが流れる期間t1~t4の初期の1/4程度の期間に設定される。付加電流Ipが流れる期間t1~t2をプログラミング電流Imが流れる期間の初期に設定するのは、付加電流Ipによる発光階調への影響を小さく抑えるためである。なお、付加電流Ipの値は、例えばプログラミング電流Imの最大値と最小値の中間値程度の値に設定される。

【0059】正確に言えば、図7(a)に示す出力電流Ioutは単一ラインドライバ410の電流駆動能力を示しており、データ線Xm上の実電流値Isは、図7

(b)に実線で示すように変化する。すなわち、時点t1では、過渡的に大きな電流が流れるが、徐々に減少して、電流値(Im+Ip)に近づいてゆく。時点t2で付加電流回路430がオフになると、実電流Isはさらに減少する。しかし、時点t2以降では、電流値自体が小さいのでデータ線容量Cd(図3)を充電または放電する速度が低下し、この結果、電流値の変化はt1~t2の期間よりも緩やかになる。そして、時点t3では、プログラミング電流値Imにまで実電流値Isが減少し、期間t3~t4ではこのプログラミング電流値Imが維持される。従って、プログラミング期間Tpr内において、正しいプログラミング電流値Imで画素回路210がプログラミングされる。

【0060】このような付加電流Ipの利用は、「プログラミング電流値Imを、前回の行のプログラミング時における第1の電流値から、今回の行のプログラミング時における第2の電流値に変化させる操作を、電流値の時間変化率が異なる複数の期間(図7の期間t1~t2と、期間t2~t3)を経て行うもの」と考えることも

可能である。なお、この第1の電流値から第2の電流値への変化は、今回のプログラミング時のプログラミング電流 $I_m$ と付加電流 $I_p$ との和である第3の電流値( $I_m + I_p$ )を経由して行われる。

【0061】図7(b)に示す一点破線は、付加電流 $I_p$ を用いずに、単一ラインドライバ410の電流駆動能力が一定である場合(図7(c))の実電流値の変化を示している。このときには、付加電流 $I_p$ を用いる場合に比べて期間 $t_1 \sim t_2$ における電流値が小さいので、電流の変化もより緩やかである。従って、プログラミングの終了時点 $t_4$ においても、実電流値 $I_s$ がプログラミング電流値 $I_m$ に達しない場合がある。このような場合には、画素回路210を正しい階調にプログラミングすることができない可能性がある。あるいは、正しくプログラミングを行うために、プログラミング期間 $T_{pr}$ を延長しておく必要が生じるという問題を生じる。これに対して、付加電流 $I_p$ を用いると、プログラミング期間 $T_{pr}$ 内に正しくプログラミングを行うことが可能である。

【0062】図8は、プログラミング期間 $T_{pr}$ におけるデータ線 $X_m$ の電荷量 $Q_d$ の変化を示す説明図である。図8は、図7の動作を電荷量の観点で描いたものである。なお、図7における時点 $t_1$ 、 $t_4$ は、正確に言えば、図8に示されているように、第1のゲート信号 $V_1$ のレベルが変化する時点に相当する。

【0063】一般に、 $n$ 番目の行の画素回路群のプログラミングが開始される前は、データ線 $X_m$ の容量値 $Q_c0$ は、 $(n-1)$ 番目の行の画素回路群のプログラミングにおけるデータ線 $X_m$ のプログラミング電流値 $I_m$ に依存している。図9は、有機EL素子の発光の階調 $G$ と、データ線 $X_m$ の電流値 $I_m$ (すなわちプログラミング電流値)と、データ線の電荷量 $Q_d$ との関係を示している。第1実施例の回路構成では、階調 $G$ が高いほど(すなわち輝度が高いほど)電流 $I_m$ は増大し、データ線の電荷量 $Q_d$ (すなわち電圧 $V_d$ )は低下する傾向にある。電荷量 $Q_d$ は、最も低い階調 $G_{min}$ では電源電圧 $V_{dd}$ に近い電圧に相当する電荷量となり、最も高い階調 $G_{max}$ では接地電位に近い電圧に相当する電荷量となる。なお、図8(c)の例では、直前の行(すなわち $(n-1)$ 番目の行)のプログラミングにおけるプログラミング電流値 $I_m$ が比較的大きく、従って、今回のプログラミング開始前の電荷量 $Q_d0$ が比較的小さい場合を想定している。

【0064】図8の時点 $t_1$ でプログラミングが開始されると、データ線 $X_m$ は単一ラインドライバ410の出力電流 $I_{out}$ ( $= I_m + I_p$ )によって充電または放電され、電荷量 $Q_d$ は比較的速い速度で増大する。時点 $t_2$ で付加電流 $I_p$ が無くなると充電/放電速度が低下し、電荷量 $Q_d$ の変化もより緩やかになる。しかし、プログラミング期間 $T_{pr}$ 内の時点 $t_3$ において、所望の

プログラミング電流値 $I_m$ に対応する電荷量 $Q_{dm}$ に到達している。

【0065】以上の説明から理解できるように、付加電流回路430は、データ線 $X_m$ の充電または放電を加速するための充放電加速部として機能する。なお、本明細書において、「充電または放電の加速」とは、本来の望ましい電流値(本実施例ではプログラミング電流値 $I_m$ )のみによるデータ線の充電または放電よりも短時間で充電または放電が終了するように、充電または放電を促進する操作を意味する。また、付加電流回路430は、データ信号の変化に伴う電流の変化を加速する加速手段、あるいは、データ線 $X_m$ の電荷量を所定の値にリセットするためのリセット手段として機能すると考えることも可能である。

【0066】図8(c)に一点鎖線で示すように、付加電流 $I_p$ が無い場合には充電/放電速度は低い速度に保たれており、この例では、プログラミング期間 $T_{pr}$ の終期 $t_4$ においても所望のプログラミング電流値 $I_m$ に対応する電荷量 $Q_{dm}$ に到達していない。従って、画素回路210に正しいプログラミング電流 $I_m$ を供給して正しい階調にプログラミングすることができない可能性がある。

【0067】このように、本実施例においては、付加電流 $I_p$ を用いてデータ線の充電または放電を加速を行うことにより、画素回路210に対して正しいプログラミングを行うことが可能である。また、プログラミング時間を短縮して、有機EL素子220の駆動制御の高速化を図ることができる。

【0068】なお、付加電流 $I_p$ を用いたデータ線の充電または放電の加速は、通常は、画素回路マトリクスに含まれるすべてのデータ線 $X_m$ について同時に行われる。但し、画素回路マトリクスに含まれる複数のデータ線の中の一部のデータ線に対してのみ、付加電流 $I_p$ を用いたデータ線の充電または放電の加速を選択的に行うようにしてもよい。例えば、プログラミングの開始時における $m$ 番目のデータ線 $X_m$ の電荷量 $Q_{d0}$ (図8)が、所望のプログラミング電流 $I_m$ に対応する電荷量 $Q_{dm}$ に十分に近い場合には、付加電流 $I_p$ を利用しなくてもよい。具体的には、コントローラ100が、各データ線に関して、 $(n-1)$ 番目の行でのプログラミング電流値と $n$ 番目の行でのプログラミング電流値とを互いに比較し、その差が所定の閾値以内であれば、 $n$ 番目の行のプログラミング時に付加電流 $I_p$ を利用しないことと判断してもよい。また、これらのプログラミング電流値の差に応じて、付加電流 $I_p$ の値を変化させてもよい。換言すれば、プログラミング電流値 $I_m$ の前回値と今回値との差に応じて付加電流 $I_p$ の電流値を決定する手段と、決定された付加電流値 $I_p$ を各データ線 $X_m$ に供給する手段とを設けるようにしてもよい。この構成によれば、より効果的に付加電流値 $I_p$ を利用することが

でき、駆動の高速化を促進することができる。

【0069】あるいは、今回のプログラミング電流値 $I_m$ が所定の閾値よりも小さい場合にのみ付加電流 $I_p$ を利用し、プログラミング電流値 $I_m$ が閾値よりも大きい場合には付加電流 $I_p$ を利用しないことと判断しても良い。この理由は、プログラミング電流値 $I_m$ が大きい場合には、データ線 $X_m$ の充電または放電が十分に早く行われるので、付加電流 $I_p$ を利用しなくても十分高速に所望のプログラミング電流値 $I_m$ を達成できるからである。

【0070】この代わりに、今回のプログラミング電流値（第2の電流値）が前回のプログラミング電流値（第1の電流値）よりも小さく、且つ、今回のプログラミング電流値 $I_m$ と付加電流値 $I_p$ との和（第3の電流値）が、前回のプログラミング電流値よりも小さいときにのみ、付加電流 $I_p$ を利用することとしてもよい。これらの3つの電流値は、これ以外の種々の関係に設定することも可能である。例えば、第3の電流値を、第1の電流値と第2の電流値との間の電流値であるとしてもよい。また、第1の電流値から第3の電流値への電流値の時間変化率の絶対値を、第3の電流値から第2の電流値への電流値の時間変化率の絶対値よりも大きいものとしてもよい。さらに、第1の電流値と第3の電流値との差の絶対値を、第3の電流値と第2の電流値との差の絶対値よりも大きいものとしてもよい。

【0071】付加電流 $I_p$ を利用するか否かの判断は、各データ線毎に行うことが好ましい。但し、直前の行のプログラミング時におけるプログラミング電流の値に拘わらず、常に付加電流 $I_p$ を利用するものとすれば、表示装置全体の制御が単純になるという利点がある。

【0072】以上のように、本実施例では、プログラミング期間の初期に付加電流 $I_p$ をプログラミング電流 $I_m$ に加算することによって、短時間で正確なプログラミングを行うことが可能である。あるいは、プログラミング時間を短縮して、有機EL素子220の駆動制御の高速化を図ることが可能である。特に、表示パネルの大型化や高解像度化に伴って駆動制御の高速化が要求されるので、大型表示パネルや高解像度表示パネルにおいて上述の効果が顕著である。

【0073】B. 第2実施例（付加電流その2）：図10は、本発明の第2実施例としての表示装置の概略構成を示すブロック図である。この表示装置は、データ線ドライバ400aが電源電位 $V_{dd}$ 側に設けられている点が第1実施例と異なる。また、以下に説明するように、単一ラインドライバ410aの内部構成と、画素回路210aの内部構成も第1実施例と異なっている。

【0074】図11は、画素回路210aの内部構成を示す回路図である。この画素回路210aは、いわゆるサーフ型の電流プログラム回路である。この画素回路210aは、有機EL素子220と、4つのトランジ

スタ241～244と、保持キャパシタ230とを有している。なお、4つのトランジスタ241～244は、pチャンネル型FETである。

【0075】データ線 $X_m$ には、第1のトランジスタ241と、保持キャパシタ230と、第2のトランジスタ242とがこの順に直列に接続されている。第2のトランジスタ242のドレインは、有機EL素子220に接続されている。第1と第2のトランジスタ241、242のゲートには、第1のサブゲート線 $V_1$ が共通に接続されている。

【0076】電源電位 $V_{dd}$ と接地電位との間には、第3のトランジスタ243と、第4のトランジスタ244と、有機EL素子220との直列接続が介挿されている。第3のトランジスタ243のドレインと第4のトランジスタ244のソースは、第1のトランジスタのドレインにも接続されている。第3のトランジスタ243のゲートには、第2のゲート線 $V_2$ が接続されている。また、第4のトランジスタ244のゲートは、第2のトランジスタ242のソースに接続されている。保持キャパシタ230は、第4のトランジスタ244のソースとゲートとの間に接続されている。

【0077】第1と第2のトランジスタ241、242は、保持キャパシタ230に所望の電荷を蓄積する際に使用されるスイッチングトランジスタである。第3のトランジスタ243は、有機EL素子220の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、第4のトランジスタ244は、有機EL素子220に流れる電流値を制御するための駆動トランジスタである。第4のトランジスタ244の電流値は、保持キャパシタ230に保持される電荷量によって制御される。

【0078】図12は、第2実施例の画素回路210aの通常の動作を示すタイミングチャートである。この動作では、図5に示した第1実施例の動作から、ゲート信号 $V_1$ 、 $V_2$ の論理が反転している。また、第2実施例では、図11の回路構成から理解できるように、プログラミング期間 $T_{pr}$ において、第1と第4のトランジスタ241、244を経由して有機EL素子220にプログラミング電流 $I_m$ が流れる。従って、第2実施例では、プログラミング期間 $T_{pr}$ においても有機EL素子220が発光する。このように、プログラミング期間 $T_{pr}$ では、有機EL素子220が発光しても良く、あるいは、第1実施例のように発光しなくてもよい。

【0079】図13は、第2実施例の単一ラインドライバ410aを示す回路図である。この単一ラインドライバ410aは、データ線 $X_m$ の電源電位 $V_{dd}$ 側に接続されている。このため、データ信号生成回路420aの駆動トランジスタ42と、付加電流回路430aの駆動トランジスタ44とが、いずれもpチャンネル型FETで構成されている点で図6に示した第1実施例と異な

ている。他の構成は、第1実施例と同じである。

【0080】図14は、第2実施例における有機EL素子の発光の階調Gと、データ線Xmの電流値Imと、データ線の電荷量Qdとの関係を示している。第2実施例では、第1実施例とは反対に、単一ラインドライバ410aがデータ線Xmの電源電位Vd側側に設けられているので、階調Gとデータ線Xmの電荷量Qd（すなわち電圧Vd）との関係が第1実施例とは逆転している。すなわち、階調Gが高いほど（すなわち輝度が高いほど）、データ線の電荷量Qd（すなわち電圧Vd）は上昇する傾向にある。電荷量Qdは、最も低い階調Gminでは接地電圧に近い電圧に相当する電荷量となり、最も高い階調Gmaxでは電源電位Vdに近い電圧に相当する電荷量となる。

【0081】図15は、第2実施例でのプログラミング期間Tprにおけるデータ線Xmの電荷量Qdの変化を示す説明図である。この変化は、図8に示した第1実施例での変化と本質的には同じである。但し、図15

(c)においてプログラミング開始前の電荷量Qd0が比較的小さいことは、第1実施例とは逆に、直前の行（すなわち(n-1)番目の行）のプログラミングにおけるプログラミング電流値Imが比較的小さいことを意味している。

【0082】この第2実施例の表示装置も、第1実施例と同様の効果を有する。すなわち、プログラミング期間Tprの初期に付加電流Ipをプログラミング電流Imに加算することによって、画素回路210aに対して短時間で正確なプログラミングを行うことが可能である。あるいは、プログラミング時間を短縮して、有機EL素子220の駆動制御の高速化を図ることが可能である。

【0083】C. 第3実施例（付加電流その3）：図16は、第3実施例の単一ラインドライバ回路410bを示す回路図である。この単一ラインドライバ410b内のデータ信号生成回路420は、図6に示した第1実施例と同じであるが、付加電流回路430bの構成が第1実施例と異なっている。すなわち、この付加電流回路430bは、スイッチングトランジスタ43と駆動トランジスタ44との直列接続を2組有しており、これらは互いに並列に接続されている。2つの駆動トランジスタ44の利得係数βcの比は、例えば1:2に設定される。また、付加電流制御信号Dpも2ビットの信号として供給される。この付加電流回路430bを用いた場合には、付加電流値Ipを、付加電流制御信号Dpが取り得る4つの値0~3に応じた4つのレベルのいずれかに任意に設定することが可能である。

【0084】図17は、第3実施例の付加電流回路430bを利用した場合のプログラミング期間Tprの動作を示す説明図である。ここでは、付加電流値Ipが、より高い第1のレベルIp2から、より低い第2のレベルIp1に変化している。この結果、第1実施例や第2実

施例に比べて、より早くデータ線を充電または放電できる可能性がある。この例からも理解できるように、付加電流を利用する場合に、付加電流値を2段階以上に変化させて、データ線Xmの出力電流Ioutを3段階以上に変化させるようにしてもよい。

【0085】また、図16の付加電流回路430bを用いた場合にも、第1実施例と同様に、付加電流値Ipのレベルを、直前の行に対するプログラミング電流値と、今回の行に対するプログラミング電流値とに応じて決定することが可能である。こうすれば、プログラミング電流値に応じた適切な付加電流値を選択的に利用することが可能である。

【0086】なお、このような多値の付加電流値Ipを利用した付加電流回路430bは、第2実施例にも適用可能である。

【0087】D. 付加電流を利用した変形例：付加電流の利用に関しては、以下のような種々の変形が可能である。

【0088】D1：付加電流回路は、単一ラインドライバ410の中に設ける必要は無く、データ線Xmに接続されていれば他の位置に設けることも可能である。また、各データ線Xm毎に1つの付加電流回路を設ける代わりに、複数のデータ線に対して1つの付加電流回路を設けてもよい。

【0089】D2：また、付加電流回路を設けずに、データ信号生成回路420によってプログラミング電流値Imよりも大きな電流値をプログラミング期間の初期に発生させ、所定時間の経過後にプログラミング電流値Imに切り換えるようにしてもよい。

【0090】以上の各種の実施例や変形例からも理解できるように、付加電流を利用する際には、一般に、プログラミングの初期においてプログラミング電流値Imよりも大きな電流をデータ線に流すようにすれば良い。こうすることによって、そのデータ線の充電または放電を促進することができ、正確なプログラミングや高速な駆動が可能となる。

【0091】E. 第4実施例（ブリチャージ）：図18は、本発明の第4実施例としての表示装置の構成を示すブロック図である。この表示装置は、図3に示した第1実施例の表示装置の各データ線Xm(m=1~M)に、ブリチャージ回路600をそれぞれ設けたものであり、他の構成は図3に示したものと同じである。但し、データ線の静電容量Cdは図示の便宜上省略されている。なお、単一ラインドライバ410としては、付加電流回路430(図6)を有していないものを利用することも可能である。

【0092】各データ線Xmには、表示マトリクス部200とデータ線ドライバ400との間の位置に、ブリチャージ回路600がそれぞれ接続されている。ブリチャージ回路600は、定電圧源であるブリチャージ電源V

pと、スイッチングトランジスタ610との直列接続で構成されている。この例では、スイッチングトランジスタ610はnチャンネル型FETであり、そのソースがデータ線X<sub>n</sub>に接続されている。各スイッチングトランジスタ610のゲートには、コントローラ100(図2)からプリチャージ制御信号Preが共通に入力されている。プリチャージ電源V<sub>p</sub>の電位は、例えば画素回路210の駆動電源電位V<sub>dd</sub>(図4)に設定される。但し、プリチャージ電圧V<sub>p</sub>を任意に調整できるような電源回路を採用してもよい。

【0093】プリチャージ回路600は、プログラミングの完了前に各データ線X<sub>m</sub>の充電または放電を行って、プログラミングに要する時間を短縮するための回路である。換言すれば、プリチャージ回路600は、データ線X<sub>m</sub>の充電または放電を加速するための充放電加速部として機能する。また、プリチャージ回路600は、データ信号の変化に伴う電流の変化を加速する加速手段、あるいは、データ線X<sub>m</sub>の電荷量を所定の値にリセットするためのリセット手段として機能すると考えることも可能である。

【0094】図19は、第4実施例におけるプログラミング期間T<sub>pr</sub>の動作を示す説明図である。この例では、期間t<sub>13</sub>~t<sub>15</sub>におけるプログラミングの実行の前に、期間t<sub>11</sub>~t<sub>12</sub>においてプリチャージ制御信号PreがHレベルとなり、プリチャージ回路600による充電または放電(プリチャージ)が行われる。このプリチャージによって、データ線X<sub>m</sub>の電荷量Q<sub>d</sub>は、プリチャージ電圧V<sub>p</sub>(図18)に応じた所定の値に到達する。換言すれば、データ線X<sub>m</sub>がプリチャージ電圧V<sub>p</sub>にはば等しい電圧まで到達する。その後、期間t<sub>13</sub>~t<sub>15</sub>でプログラミングが実行されると、プログラミング期間T<sub>pr</sub>内の時点t<sub>14</sub>において、データ線X<sub>n</sub>の電荷量Q<sub>d</sub>が所望のプログラミング電流値I<sub>m</sub>に対応する電荷量Q<sub>d</sub><sub>m</sub>に到達する。

【0095】図19(d)の一点破線は、プリチャージや付加電流を利用しない場合の電荷量の変化を示している。この場合には、プログラミング期間T<sub>pr</sub>の終期においても、データ線の電荷量が所望のプログラミング電流値I<sub>m</sub>に対応する電荷量Q<sub>d</sub><sub>m</sub>に到達していない。従って、画素回路210に正しいプログラミング電流I<sub>m</sub>を供給して正しい階調にプログラミングすることができない可能性がある。

【0096】このように、本実施例においては、プリチャージを行ってデータ線の充電または放電を加速することにより、画素回路210に対して正しい発光階調を設定することが可能である。また、プログラミング時間を短縮して、有機EL素子220の駆動制御の高速化を図ることができる。

【0097】なお、データ線ドライバ400がデータ線X<sub>m</sub>の接地電位側に設けられているときには、前述した

図9に示されているように、プログラミング電流値I<sub>m</sub>が小さいほどデータ線の電荷量Q<sub>d</sub>が多く、その電圧V<sub>d</sub>も大きい。この場合には、プリチャージ電圧V<sub>p</sub>は、比較的小さなプログラミング電流値I<sub>m</sub>(すなわち比較的低い発光階調)に相当する比較的高い電圧値に設定することが好ましい。

【0098】一方、データ線ドライバ400がデータ線X<sub>m</sub>の電源電位側に設けられているときには、前述した図14に示されているように、プログラミング電流値I<sub>m</sub>が小さいほどデータ線の電荷量Q<sub>d</sub>も少なく、その電圧V<sub>d</sub>も小さい。この場合には、プリチャージ電圧V<sub>p</sub>は、比較的小さなプログラミング電流値I<sub>m</sub>(すなわち比較的低い発光階調)に相当する比較的低い電圧値に設定することが好ましい。

【0099】具体的には、プリチャージ電圧V<sub>p</sub>は、発光階調の中央値以下の低い階調範囲に相当する電圧値にデータ線をプリチャージできるように設定されることが好ましい。特に、ゼロでない最も低い発光階調の近傍の階調に相当する電圧値にデータ線をプリチャージできるように、プリチャージ電圧V<sub>p</sub>を設定することが好ましい。ここで、「ゼロでない最も低い発光階調の近傍の階調」とは、例えば全階調範囲が0~255の場合には、階調値が1から10程度の範囲の階調を意味している。こうすれば、プログラミング電流値I<sub>m</sub>が小さい場合にも、十分高速にプログラミングを行うことが可能である。

【0100】プリチャージを行うか否かの判断は、上述した付加電流を用いた各種の実施例や変形例で説明した場合と同様に、直前の行に対するプログラミング電流値と、今回の行に対するプログラミング電流値とに応じて決定することも可能である。例えば、プログラミングの開始時におけるm番目のデータ線X<sub>m</sub>の電荷量Q<sub>d</sub>0(図19)が、所望のプログラミング電流I<sub>m</sub>に対応する電荷量Q<sub>d</sub><sub>m</sub>に十分に近い場合には、そのデータ線X<sub>m</sub>に関するプリチャージを行わなくてもよい。あるいは、今回のプログラミング電流値I<sub>m</sub>が所定の閾値よりも小さい場合にのみプリチャージを利用し、今回のプログラミング電流値I<sub>m</sub>が閾値よりも大きい場合にはプリチャージを利用しないことと判断しても良い。この理由は、プログラミング電流値I<sub>m</sub>が大きい場合には、データ線X<sub>m</sub>の充電または放電が十分に早く行われるので、プリチャージを行わなくても十分高速に所望のプログラミング電流値I<sub>m</sub>を達成できるからである。

【0101】なお、各データ線毎にプリチャージを行うか否かを判断する場合には、選択的にプリチャージを行うことができる。但し、常にすべてのデータ線に対してプリチャージを行うようにすれば、表示装置全体の制御が単純になるという利点がある。

【0102】なお、カラー表示装置は、RGBの3色分の画素回路を備えている。この場合には、各色毎にプリ



チャージ電圧 $V_p$ を独立に設定できるように装置を構成することが好ましい。具体的には、R用のデータ線とB用のデータ線とG用のデータ線とに関してそれぞれ適したプリチャージ電圧 $V_p$ を設定可能なように、3つのプリチャージ用電源回路を設けることが好ましい。また、同じデータ線に3色分の画素回路が接続されている場合には、プリチャージ用の電源回路として、出力電圧を変更可能な可変電源回路を採用することが好ましい。各色毎にプリチャージ電圧 $V_p$ を個別に設定できるようにすれば、プリチャージ操作をより効率よく行うことができる。

【0103】F. プリチャージタイミングに関する変形例：図20は、プリチャージ期間の変形例を示す説明図である。この例では、プリチャージ信号Preがオンとなる期間Tpc（「プリチャージ期間Tpc」と呼ぶ）が第1のゲート信号V1がオンとなる期間の初期の部分と重なる時期まで延長されている。この場合には、プリチャージ期間Tpcの後半において、保持キャパシタ230（図4）を充電または放電するための2つのスイッチングトランジスタ211、212がオン状態となるので、この保持キャパシタ230をデータ線Xmと同時にプリチャージすることが可能である。従って、データ線Xmの静電容量Cdに比べて保持キャパシタ230の静電容量が無視できない場合には、その後のプログラミングに要する時間を短縮する効果がある。

【0104】但し、図19のように、実際のプログラミングを開始する前にプリチャージを行うようにすれば、プリチャージが保持キャパシタ230の蓄積電荷量に与える影響をより小さく抑えることができる可能性がある。

【0105】なお、図20において、プリチャージ期間Tpcが終了するまでプログラミング電流Imは0に保たれている。この理由は、プリチャージ期間Tpcにプログラミング電流Imを流すと、この電流の一部がプリチャージ回路600にも流れるので、無駄な電力を消費してしまうからである。但し、これによる電力消費量の増加が無視できる程度の場合には、プリチャージ期間Tpc内にプログラミング電流Imを流すようにしてもよい。

【0106】図21は、プリチャージ期間の他の変形例を示す説明図である。この例では、プリチャージ期間Tpcが、第1のゲート信号V1がオンとなった後に開始されている。この場合にも、保持キャパシタ230をデータ線Xmと同時にプリチャージすることが可能である。この例においても、プリチャージ期間Tpcが終了するまでプログラミング電流Imを0に保つことが好ましい。

【0107】以上の説明から理解できるように、プリチャージ期間は、画素回路のプログラミングが行われる期間の前に設定されてもよく（図19の例）、あるいは、

画素回路のプログラミングが行われる期間の初期の一部を含む期間に設定されても良い（図20、図21の場合）。ここで、「プログラミングが行われる期間」とは、ゲート信号V1がオン状態にあり、データ線Xmと保持キャパシタ230とを接続するスイッチングトランジスタ（例えば図4の211、212）がオン状態にある期間を意味している。換言すれば、プリチャージは、プログラミング期間が完了する前の特定のプリチャージ期間において実行することが好ましい。こうすれば、保持キャパシタ230への電荷の蓄積（電圧の記憶）が完了する前にプリチャージが行われるので、プリチャージが原因となって保持キャパシタ230の蓄積電荷量が希望の値からずれることを防止することができる。

【0108】G. プリチャージ回路の配置に関する変形例：図22ないし図25は、プリチャージ回路600の配置の種々の変形例を示している。図22の例では、表示マトリクス部200b内に複数のプリチャージ回路600が設けられている。この構成は、図3に示した第1実施例の表示マトリクス部200にプリチャージ回路600を追加した構成である。図23の例では、データ線ドライバ400c内に複数のプリチャージ回路600が設けられている。図24の例も、表示マトリクス部200d内に複数のプリチャージ回路600が設けられたものである。但し、図24の構成は、図10に示した第2実施例の表示マトリクス部200aにプリチャージ回路600を追加した構成である。図25の例では、データ線ドライバ400e内に複数のプリチャージ回路600が設けられている。図22～図25の回路の動作は、上述した第4実施例の動作とはほぼ同じである。

【0109】図22や図24の例のように、プリチャージ回路600が表示マトリクス部200内に設けられている場合には、プリチャージ回路600も画素回路と同様のTFで構成される。一方、図23や図25の例のように、プリチャージ回路600が表示マトリクス部200の外に設けられる場合には、例えば、プリチャージ回路600を表示マトリクス部200を含む表示パネル内にTFで作成することも可能であり、あるいは、表示マトリクス部200とは別個のIC内にプリチャージ回路600を形成することも可能である。

【0110】図26は、プリチャージ回路600を備えた他の表示装置の例を示している。この表示装置では、図23の構成における複数の単一ラインドライバ410と複数のプリチャージ回路600の代わりに、1つの単一ラインドライバ410と、1つのプリチャージ回路600と、シフトレジスタ700と、が設けられている。また、表示マトリクス部200fの各データ線には、スイッチングトランジスタ250が設けられている。スイッチングトランジスタ250の一方の端子は各データ線Xmに接続されており、他方の端子は単一ラインドライバ410の出力信号線411に共通に接続されている。



この出力信号線411には、ブリチャージ回路600にも接続されている。シフトレジスタ700は、各データ線X<sub>m</sub>のスイッチングトランジスタ250にオン/オフ制御信号を供給しており、これによって、データ線X<sub>m</sub>を1つずつ順次選択する。

【0111】この表示装置では、画素回路210が点順次に更新される。すなわち、ゲートドライバ300で選択された1つのゲート線Y<sub>n</sub>と、シフトレジスタ700で選択された1つのデータ線X<sub>m</sub>と、の交点に存在する1つの画素回路210のみが1回のプログラミングで更新される。例えば、n番目のゲート線Y<sub>n</sub>で選択されたM個の画素回路210について1つずつ順次プログラミングが行われ、その終了後、次の(n+1)番目のゲート線上のM個の画素回路210が1つずつプログラミングされる。これに対して、上述した各種の実施例や変形例においては、1行分の画素回路群が同時に(すなわち、線順次に)プログラミングされていた点で、図26に示した表示装置と動作が異なっている。

【0112】図26の表示装置のように、点順次で画素回路210のプログラミングを行う場合にも、上述した第4実施例と同様に、各画素回路のプログラミングの完了前にデータ線のブリチャージを行うことによって、画素回路210に正しいプログラミングを行うことが可能であり、あるいは、プログラミング時間を短縮して有機EL素子220の駆動制御の高速化を図ることができる。

【0113】図26の装置においても、ブリチャージ回路600は、複数のデータ線X<sub>m</sub>(m=1~M)の充電または放電を加速することが可能である点で、上述した実施例や変形例と共通している。但し、図26のブリチャージ回路600は、複数のデータ線を同時に充電または放電する訳ではなく、1本ずつ充電または放電できるだけである。この説明からも理解できるように、本明細書において、ある回路が「複数のデータ線の充電または放電を加速できる」という文言は、その回路が複数のデータ線に関する充電または放電を同時に加速できる場合に限らず、1本ずつ順次充電または放電を加速できる場合も含んでいる。

【0114】なお、図26では、点順次のプログラミングを行う表示装置において、データ線にブリチャージを行う場合の例を説明したが、このような装置においてデータ線の充電または放電の加速を行う手段としては、前述した付加電流回路も同様に利用可能である。例えば、図26の単一ラインドライバ410は、図6に示した回路構成を有しているので、その付加電流回路430を用いて付加電流I<sub>p</sub>を発生させることができる。但し、ブリチャージと付加電流の両方を同時に利用できるように回路を構成する必要は無く、いずれか一方のみを利用できるような回路構成を採用してもよい。

【0115】H. 電子機器への適用例：有機EL素子を

利用した表示装置は、モバイル型のパーソナルコンピュータや、携帯電話や、デジタルスチルカメラ等の種々の電子装置に適用することができる。

【0116】図27は、モバイル型のパーソナルコンピュータの構成を示す斜視図である。パーソナルコンピュータ1000は、キーボード1020を備えた本体部1040と、有機EL素子を用いた表示ユニット1060とを備えている。

【0117】図28は、携帯電話の斜視図である。この携帯電話2000は、複数の操作ボタン2020と、受話口2040と、送話口2060と、有機EL素子を用いた表示パネル2080を備えている。

【0118】図29は、デジタルスチルカメラ3000の構成を示す斜視図である。なお、外部機器との接続についても簡易的に示している。通常のカメラは、被写体の光像によってフィルムを感光するのに対し、デジタルスチルカメラ3000は、被写体の光像をCCD(Charge Coupled Device)等の撮像素子の光電変換によって撮像信号を生成するものである。ここで、デジタルスチルカメラ3000のケース3020の背面には、有機EL素子を用いた表示パネル3040が設けられており、CCDによる撮像信号に基づいて表示が行われる。このため、表示パネル3040は、被写体を表示するファイダとして機能する。また、ケース3020の観察側(図においては裏面側)には、光学レンズやCCD等を含んだ受光ユニット3060が設けられている。

【0119】ここで、撮影者が表示パネル3040に表示された被写体像を確認して、シャッターボタン3080を押下すると、その時点におけるCCDの撮像信号が、回路基板3100のメモリに転送・格納される。また、このデジタルスチルカメラ3000にあっては、ケース3020の側面に、ビデオ信号出力端子3120と、データ通信用の入出力端子3140とが設けられている。そして、図に示されるように、前者のビデオ信号出力端子3120には、テレビモニタ4300が、また、後者のデータ通信用の入出力端子3140にはパーソナルコンピュータ4400が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板3100のメモリに格納された撮像信号が、テレビモニタ4300や、パーソナルコンピュータ4400に出力される。

【0120】なお、電子機器としては、図27のパーソナルコンピュータや、図28の携帯電話、図29のデジタルスチルカメラの他にも、テレビ、ビューファインダ型やモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等を挙げることができる。これらの各種の電子機器の表示部として、有機EL素子を用いた上述の表示装置が適用可能である。

【0121】I. その他の変形例：

11：上述した各種の実施例や変形例では、すべてのトランジスタがFETで構成されているものとしていたが、一部または全部のトランジスタをバイポーラトランジスタや他の種類のスイッチング素子で置き換えることも可能である。FETのゲート電極と、バイポーラトランジスタのベース電極は、本発明における「制御電極」に相当する。これらの各種のトランジスタとしては、薄膜トランジスタ(TFT)に加えて、シリコンベースのトランジスタも採用可能である。

【0122】12：上述した各種の実施例や変形例では、表示マトリクス部200が1組の画素回路マトリクスを有するものとしていたが、表示マトリクス部200が複数組の画素回路マトリクスを有するものとしても良い。例えば、大型パネルを構成する際に、表示マトリクス部200を隣接する複数の領域に区分し、各領域毎に1組の画素回路マトリクスをそれぞれ設けるようにしても良い。また、1つの表示マトリクス部200内にRGBの3つの色に相当する3組の画素回路マトリクスを設けるようにしても良い。複数の画素回路マトリクス(単位回路マトリクス)が存在する場合には、各マトリクス毎に上述した実施例や変形例を適用することが可能である。

【0123】13：上述した各種の実施例や変形例で用いた画素回路では、図5に示したようにプログラミング期間 $T_{pr}$ と発光期間 $T_{el}$ とが分かれていたが、プログラミング期間 $T_{pr}$ が発光期間 $T_{el}$ の一部に重なるような画素回路を用いることも可能である。このような画素回路に対しては、発光期間 $T_{el}$ の初期にプログラミングが行われて発光の階調が設定され、その後、設定された階調で発光が継続する。このような画素回路を利用した装置に関しても、付加電流やブリチャージによるデータ線の加速を行うことによって、画素回路に正しい発光階調を設定することが可能であり、あるいは、プログラミング時間を短縮して有機EL素子の駆動制御の高速化を図ることができる。

【0124】14：上述した各種の実施例や変形例では、電流プログラミング型の画素回路を有する表示装置に関する例を説明したが、本発明は、電圧プログラミング型の画素回路を有する表示装置にも適用可能である。電圧プログラミング型の画素回路に対しては、データ線の電圧値に応じてプログラミング(発光階調の設定)が行われる。電圧プログラミング型の画素回路を有する表示装置においても、付加電流やブリチャージを利用したデータ線の充電または放電の加速を行うことができる。

【0125】但し、電流プログラミング型の画素回路を用いた表示装置では、発光階調が低いときにプログラミング電流値がきわめて小さくなるので、プログラミングに多大な時間を要する可能性がある。従って、電流プログラミング型の画素回路を用いた表示装置に本発明を適

用したときには、データ線の充電または放電の加速による効果がより顕著である。

【0126】15：上述した各種の実施例や変形例においては、有機EL素子220の発光の階調を調整できるものとしていたが、本発明は、例えば定電流を発生して白黒表示(2値表示)を行う表示装置にも適用することができる。また、本発明は、パッシブマトリクス駆動法を用いて有機EL素子を駆動する場合にも適用可能である。但し、多階調の調整が可能な表示装置や、アクティブマトリクス駆動法を用いる表示装置に対しては、駆動の高速化への要求がより強いので、本発明の効果もより顕著である。さらに、本発明は、画素回路をマトリクス状に配列した表示装置に限らず、他の配列を採用した場合にも適用することが可能である。

【0127】16：上述した実施例や変形例では、有機EL素子を用いた表示装置の例を説明したが、本発明は、有機EL素子以外の発光素子を用いた表示装置や電子装置にも適用可能である。例えば、駆動電流に応じて発光の階調が調整可能な他の種類の発光素子(LEDやFED(Field Emission Display)など)を有する装置にも適用することができる。

【0128】17：本発明は、さらに、発光素子以外の他の電流駆動型の素子にも適用可能である。このような電流駆動型の素子としては、磁気RAM(MRAM)が存在する。図30は、磁気RAMを利用したメモリ装置の構成を示すブロック図である。

【0129】このメモリ装置は、メモリセルマトリクス部820と、ワード線ドライバ830と、ビット線ドライバ840とを有している。メモリセルマトリクス部820は、マトリクス状に配列された複数の磁気メモリセル810を有している。磁気メモリセル810のマトリクスには、その列方向に沿って伸びる複数のビット線 $X_1, X_2, \dots$ と、行方向に沿って伸びる複数のワード線 $Y_1, Y_2, \dots$ とがそれぞれ接続されている。この図30と第1実施例の図3とを比較すれば理解できるように、メモリセルマトリクス部820が表示マトリクス部200に対応している。また、磁気メモリセル810が画素回路210に、ワード線ドライバ830がゲートドライバ300に、ビット線ドライバ840がデータ線ドライバ400にそれぞれ対応している。

【0130】図31は、磁気メモリセル810の構成を示す説明図である。この磁気メモリセル810は、強磁性金属層からなる2つの電極811、812の間に、絶縁体からなる障壁層813が介挿された構成を有している。磁気RAMは、2つの電極811、812間に障壁層813を介してトンネル電流を流したときに、そのトンネル電流の大きさが上下の強磁性金属の磁化 $M_1, M_2$ の向きに依存する現象を利用して、データの記憶を行うようにしたものである。具体的には、2つの電極811、812の間の電圧 $V$ (または抵抗)を測定すること

によって、記憶されているデータが「0」か「1」かが判定される。

【0131】一方の電極812は、その磁化M2の向きが固定された基準層として利用され、他方の電極811は、データ記録層として利用される。情報の記録は、例えば、ビット線Xm（書き込み電極）にデータ電流Idaを流し、これに応じて発生する磁界により電極811の磁化M1の向きを変えることによって行われる。記録情報の読み出しは、ビット線Xm（書き込み電極）に逆方向の電流を流し、このときのトンネル抵抗や電圧を電

氣的に読み出すことによって行われる。

【0132】なお、図30および図31で説明したメモリ装置は、このような磁気RAMを用いた装置の一例であり、磁気RAMの構成や情報の記録や読み出し方法については、様々なものが提案されている。

【0133】本発明は、この磁気RAMのように、発光素子では無い電流駆動素子を用いた電子装置にも適用することができる。すなわち、本発明は一般に、電流駆動素子を用いた電子装置に適用可能である。

【図面の簡単な説明】

【図1】有機EL素子を用いた表示装置の一般的な構成を示すブロック図。

【図2】本発明の第1実施例としての表示装置の概略構成を示すブロック図。

【図3】表示マトリクス部200とデータ線ドライバ400の内部構成を示すブロック図。

【図4】第1実施例の画素回路210の内部構成を示す回路図。

【図5】第1実施例の画素回路210の通常の動作を示すタイミングチャート。

【図6】第1実施例の単一ラインドライバ410の内部構成を示す回路図。

【図7】付加電流回路430を利用した場合のプログラミング期間Tprにおける電流値の変化を示す説明図。

【図8】プログラミング期間Tprにおけるデータ線Xmの電荷量Qcの変化を示す説明図。

【図9】有機EL素子の発光の階調Gと、プログラミング電流Imと、データ線の電荷量Qdとの関係を示すグラフ。

【図10】本発明の第2実施例としての表示装置の概略構成を示すブロック図。

【図11】第2実施例の画素回路210aの内部構成を示す回路図。

【図12】第2実施例の画素回路210aの通常の動作を示すタイミングチャート。

【図13】第2実施例の単一ラインドライバ410aを示す回路図。

【図14】第2実施例における有機EL素子の発光の階調Gと、プログラミング電流Imと、データ線の電荷量Qdとの関係を示すグラフ。

【図15】第2実施例でのプログラミング期間Tprにおけるデータ線Xmの電荷量Qcの変化を示す説明図。

【図16】本発明の第3実施例の単一ラインドライバ410bを示す回路図。

【図17】第3実施例の付加電流回路430aを利用した場合のプログラミング期間Tprの動作を示す説明図。

【図18】本発明の第4実施例としての表示装置の構成を示すブロック図。

【図19】第4実施例におけるプログラミング期間Tprの動作を示す説明図。

【図20】プリチャージ期間の変形例を示す説明図。

【図21】プリチャージ期間の変形例を示す説明図。

【図22】プリチャージ回路の配置の変形例を示すブロック図。

【図23】プリチャージ回路の配置の変形例を示すブロック図。

【図24】プリチャージ回路の配置の変形例を示すブロック図。

【図25】プリチャージ回路の配置の変形例を示すブロック図。

【図26】プリチャージ回路の配置の変形例を示すブロック図。

【図27】本発明に係る表示装置を適用した電子機器の一例としてのパーソナルコンピュータの構成を示す斜視図。

【図28】本発明に係る表示装置を適用した電子機器の一例としての携帯電話の構成を示す斜視図。

【図29】本発明に係る表示装置を適用した電子機器の一例としてのデジタルスチルカメラの背面側の構成を示す斜視図。

【図30】本発明の他の実施例としての磁気RAMデバイスの構成を示すブロック図。

【図31】磁気RAMの概略構成を示す説明図。

【符号の説明】

41…スイッチングトランジスタ

42…駆動トランジスタ

43…スイッチングトランジスタ

44…駆動トランジスタ

100…コントローラ

110…画素回路

114…有機EL素子

120…表示マトリクス部

130…ゲートドライバ

140…データ線ドライバ

200…表示マトリクス部（画素領域）

210…画素回路

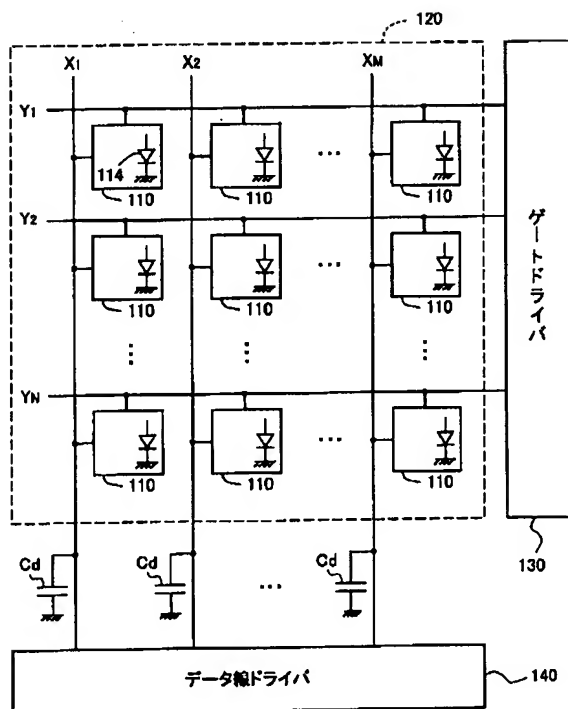
210a…画素回路

211～213…スイッチングトランジスタ

214…駆動トランジスタ

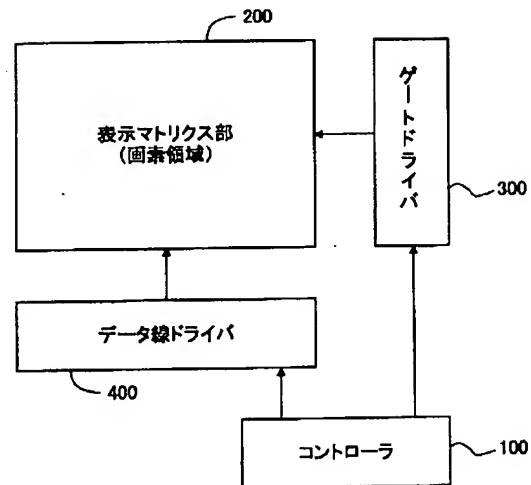
220…有機EL素子  
 230…保持キャパシタ  
 241～243…スイッチングトランジスタ  
 244…駆動トランジスタ  
 250…スイッチングトランジスタ  
 300…ゲートドライバ  
 400…データ線ドライバ  
 410…単一ラインドライバ  
 411…出力信号線  
 420…データ信号生成回路  
 421…直列接続  
 430…付加電流回路  
 600…ブリチャージ回路  
 610…スイッチングトランジスタ  
 700…シフトレジスタ  
 810…磁気メモリセル  
 811, 812…電極  
 813…障壁層  
 820…メモリセルマトリクス部  
 830…ワード線ドライバ

【図1】

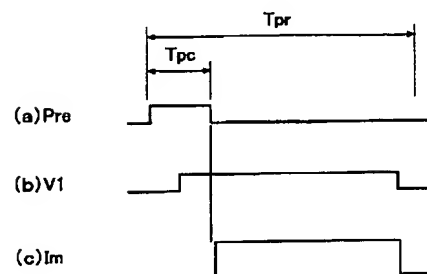


\*840…ビット線ドライバ  
 1000…パーソナルコンピュータ  
 1020…キーボード  
 1040…本体部  
 1060…表示ユニット  
 2000…携帯電話  
 2020…操作ボタン  
 2040…受話口  
 2060…送話口  
 10 2080…表示パネル  
 3000…デジタルスチルカメラ  
 3020…ケース  
 3040…表示パネル  
 3060…受光ユニット  
 3080…シャッターボタン  
 3100…回路基板  
 3120…ビデオ信号出力端子  
 3140…入出力端子  
 4300…テレビモニタ  
 \*20 4400…パーソナルコンピュータ

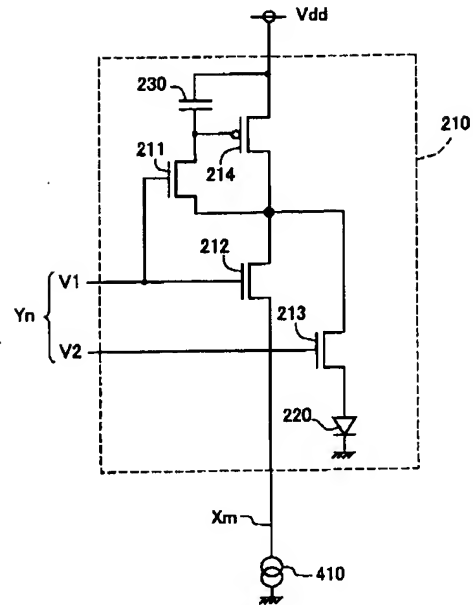
【図2】



【図20】



【圖4】

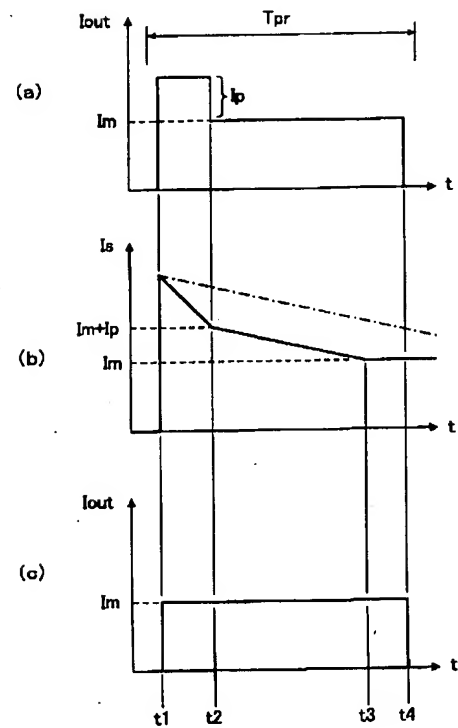
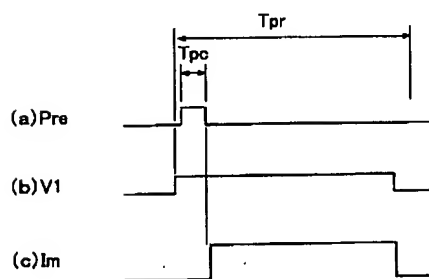


【図7】

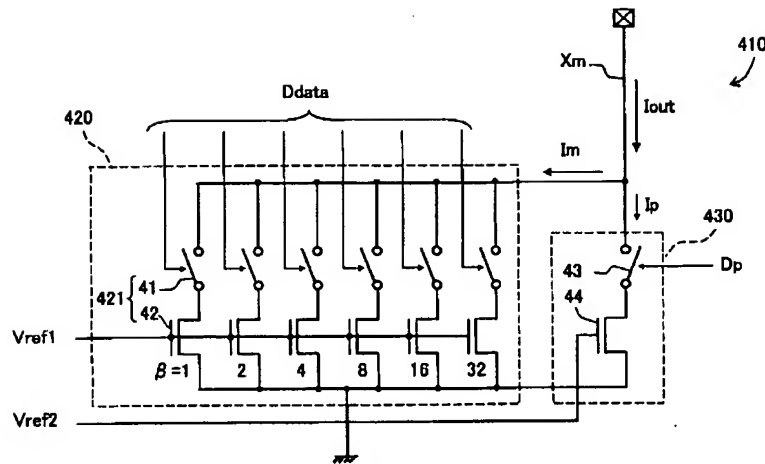
The timing diagram illustrates the operation of the proposed scheme over a total time  $T_0$ . The waveforms are as follows:

- (a)  $V_1$** : A square wave that is high during the interval  $T_{pr}$  and low during  $T_{el}$ .
- (b)  $V_2$** : A square wave that is high during the interval  $T_{el}$  and low during  $T_{pr}$ .
- (c)  $I_{out}$** : A square wave that is high during  $T_{pr}$  and low during  $T_{el}$ . The peak value is  $I_m$  and the duty cycle is  $D$ .
- (d)  $I_{EL}$** : A square wave that is high during  $T_{el}$  and low during  $T_{pr}$ . The peak value is  $I_m$ .

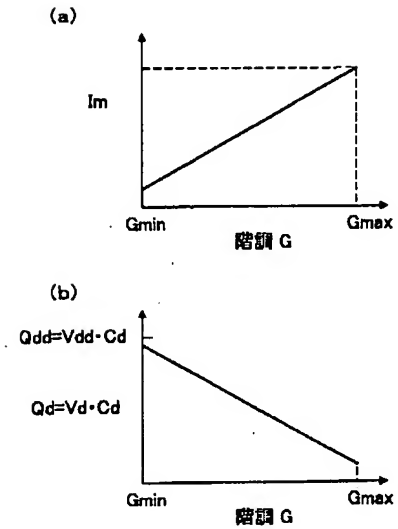
【図 2 1】



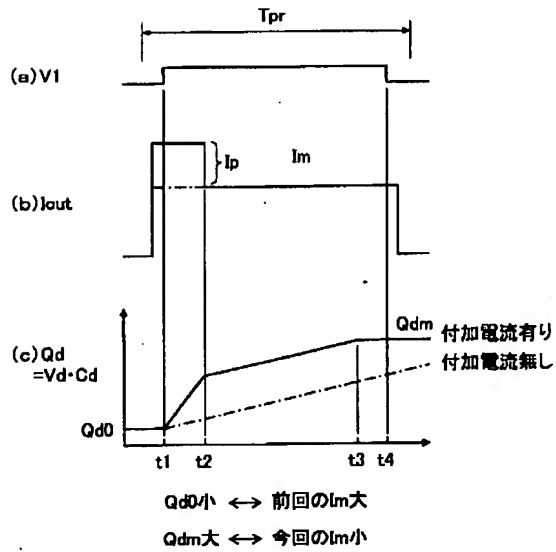
【図6】



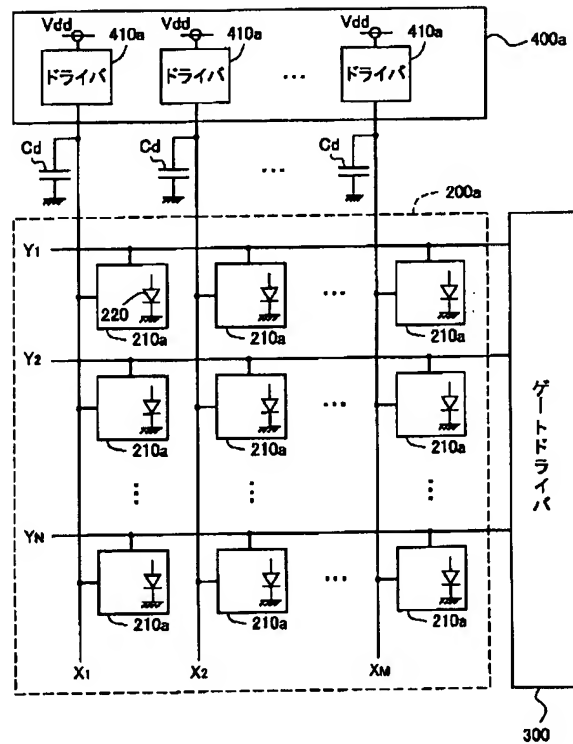
【図9】



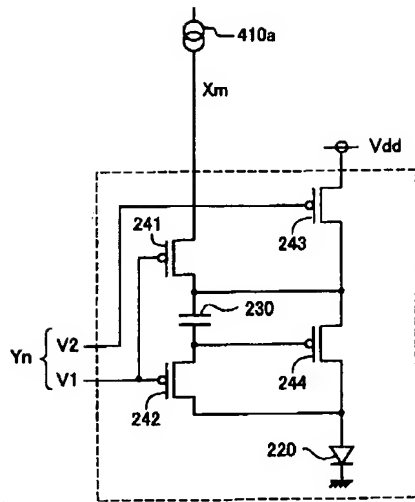
【図8】



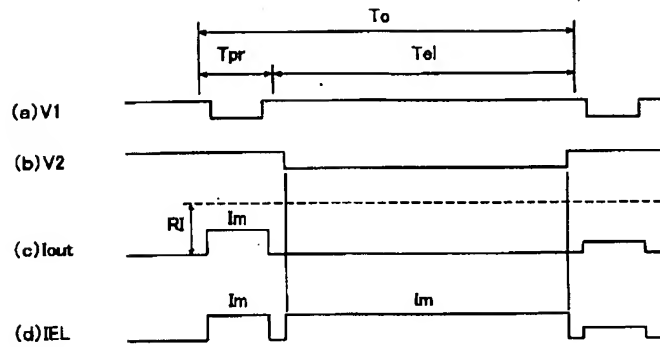
【図10】



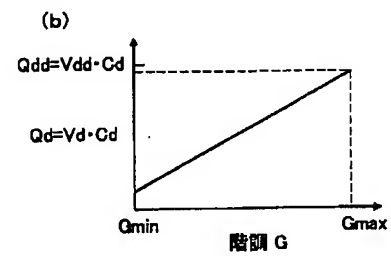
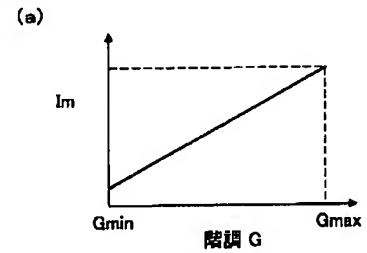
【図11】



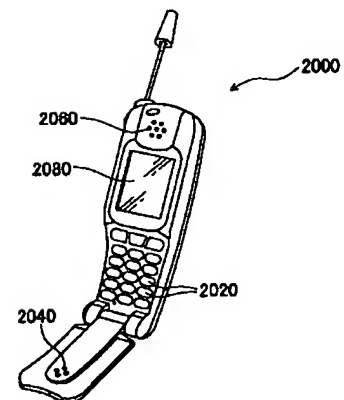
【図12】



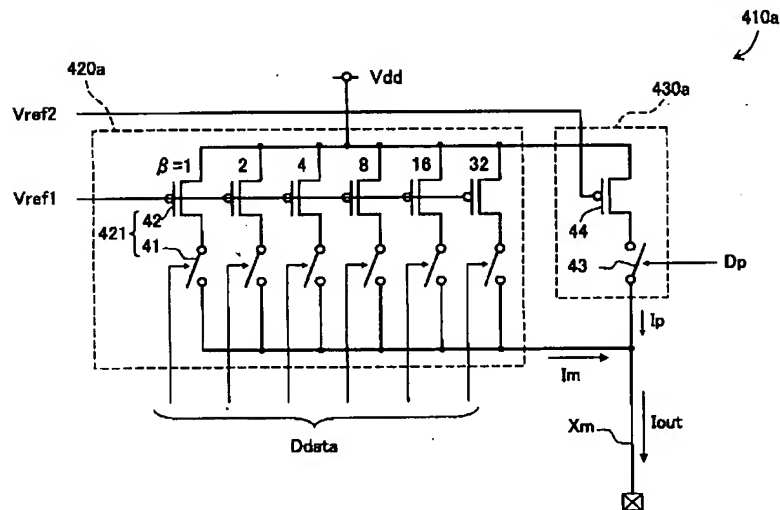
【図14】



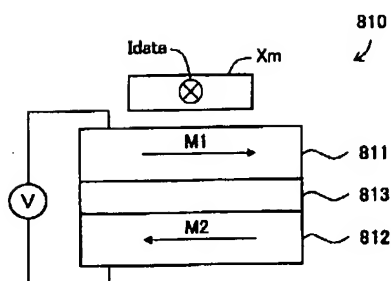
【図28】



【図13】

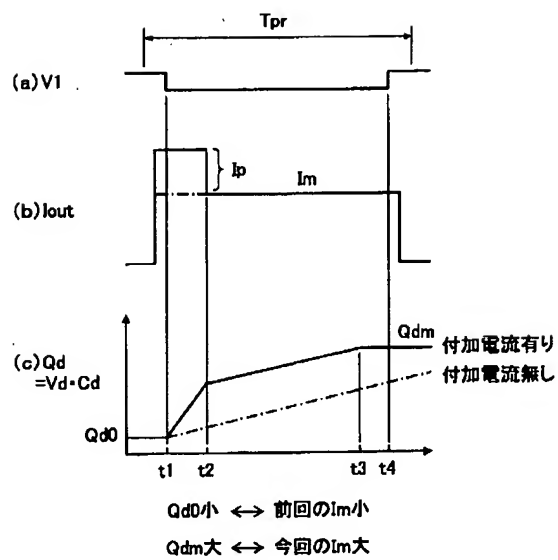


【図31】

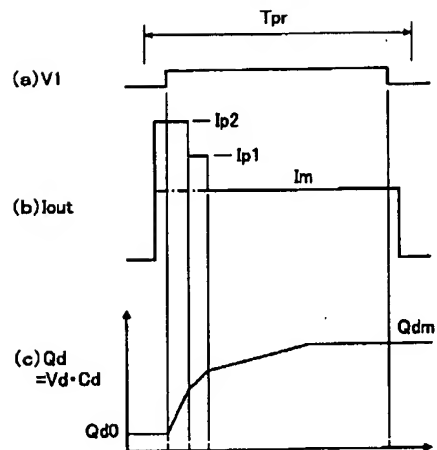




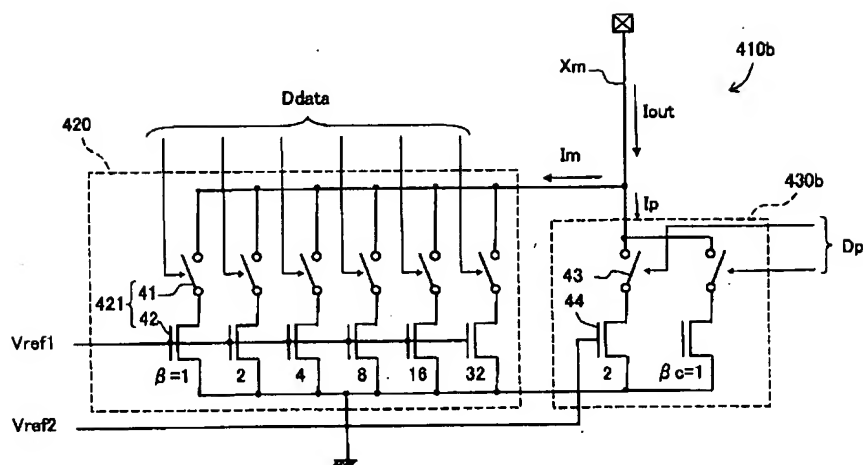
【図15】



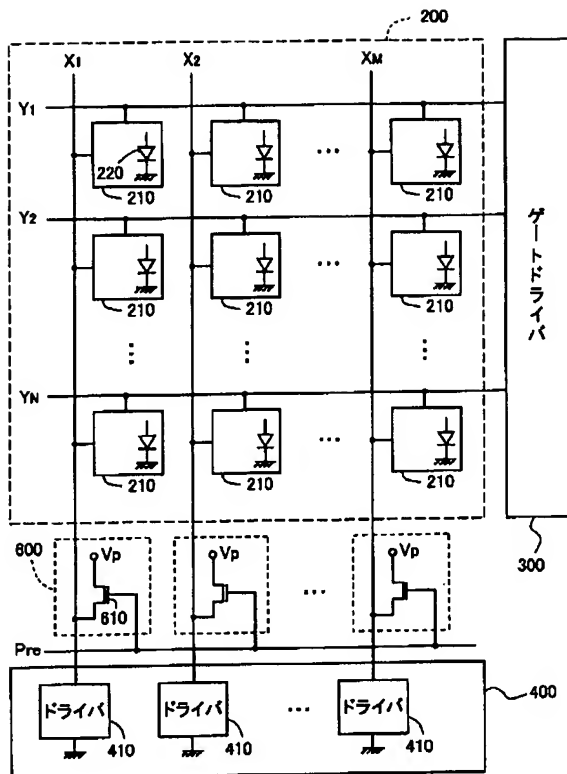
【図17】



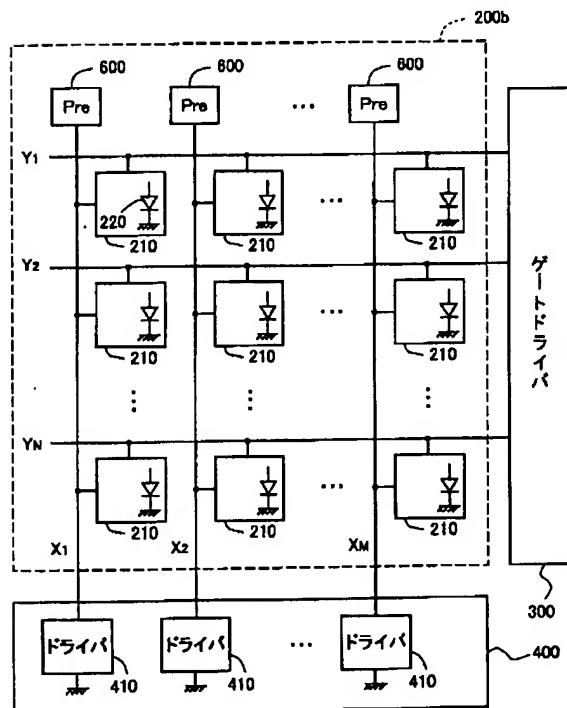
【図16】



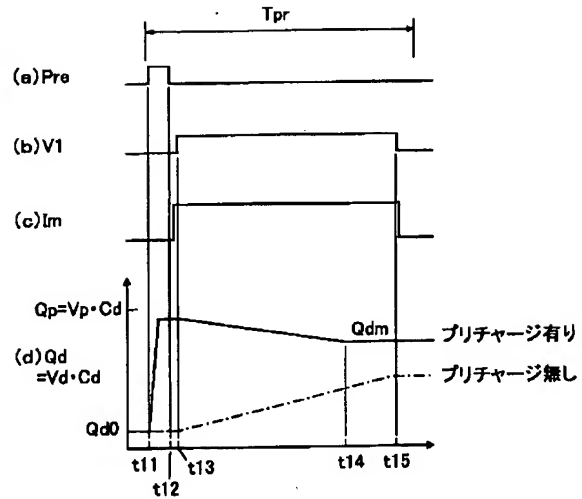
【図18】



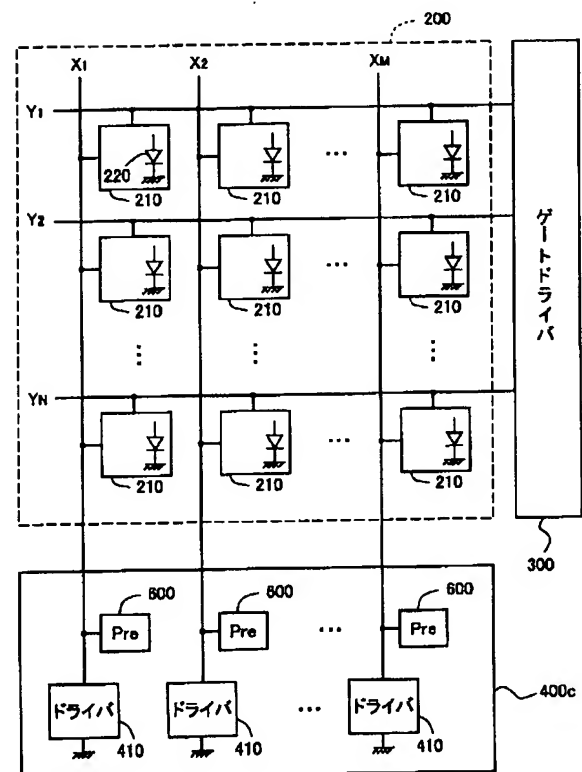
【図22】



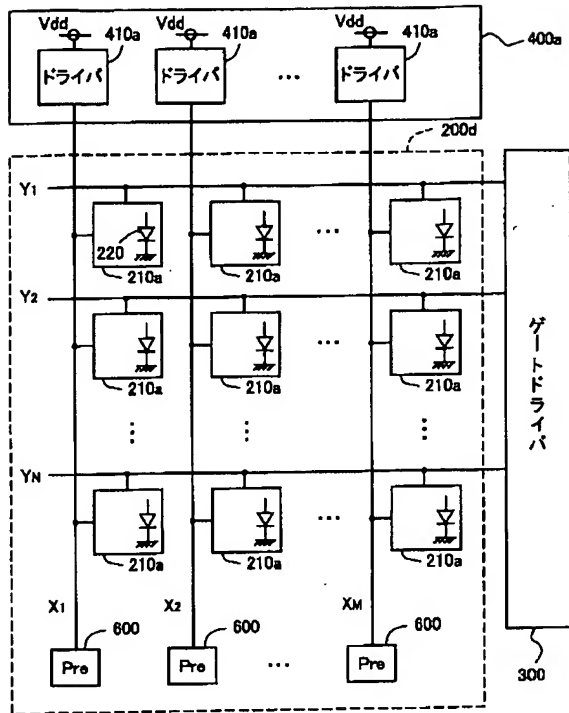
【図19】



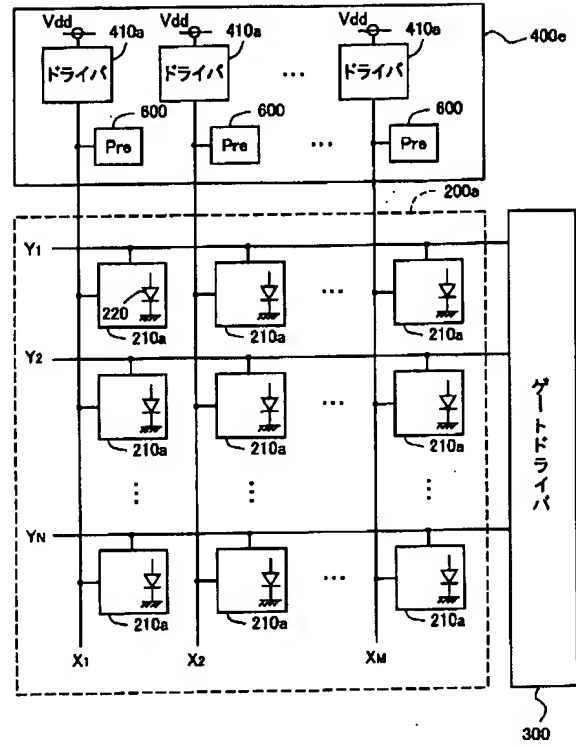
【図23】



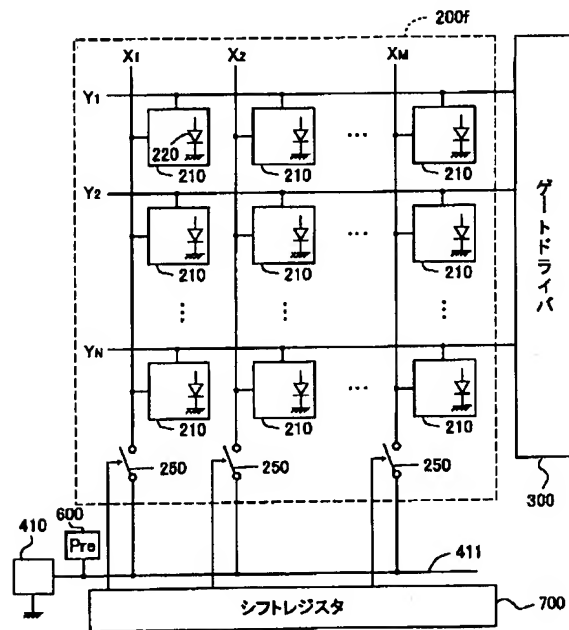
【図24】



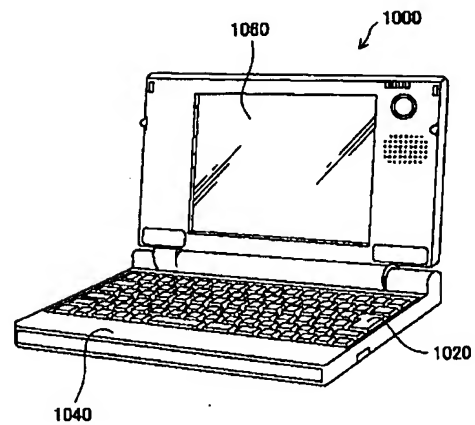
【図25】



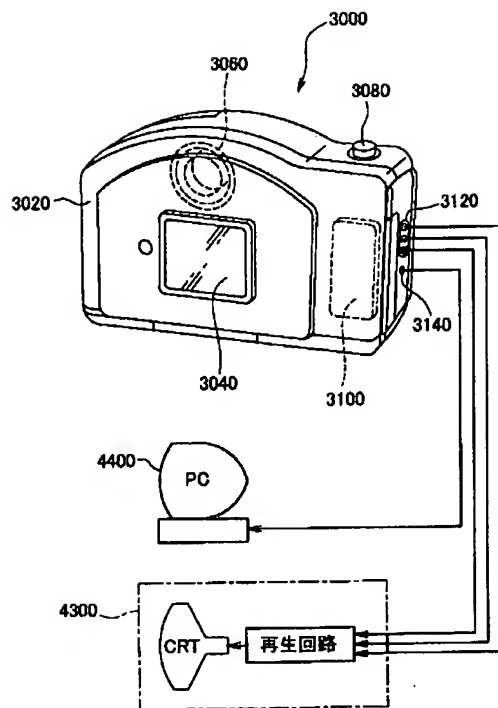
【図26】



【図27】



【図29】



【図30】

